

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT(s): Keiji Mabuchi et al. DOCKET: 075834.00482
SERIAL NO: Herewith GROUP ART UNIT: Unassigned
FILED: Herewith EXAMINER: Unassigned
INVENTION: SOLID-STATE IMAGING DEVICE AND DRIVE CONTROL
METHOD FOR THE SAME
CUSTOMER NO. 33448

SUBMISSION OF PRIORITY DOCUMENTS

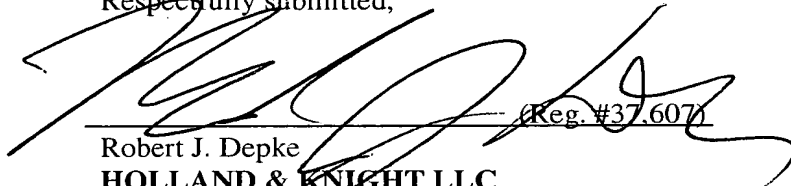
Mail Stop patent Application
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

S I R:

Applicants hereby submit a certified copy of Japanese Patent Application Number JP2003-113840 filed April 18, 2003, and hereby claims priority in the attached United States patent application under the provisions of 35 USC §119. Applicants request that the claim for priority to this previously filed patent application be made of record in this application.

Date: 4/16/04

Respectfully submitted,



(Reg. #37,607)

Robert J. Depke
HOLLAND & KNIGHT LLC
131 South Dearborn Street, 30th Floor
Chicago, Illinois 60603
Tel: (312) 422-9050
Attorney for Applicants

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 4月18日
Date of Application:

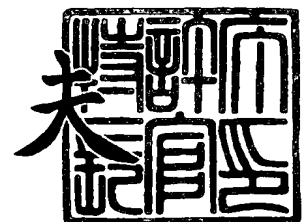
出願番号 特願2003-113840
Application Number:
[ST. 10/C]: [JP2003-113840]

出願人 ソニー株式会社
Applicant(s):

2004年 1月30日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3004614

【書類名】 特許願

【整理番号】 0390020107

【提出日】 平成15年 4月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/33
H01L 27/14

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 馬淵 圭司

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 船津 英一

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 笠井 政範

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 固体撮像装置とその駆動制御方法

【特許請求の範囲】

【請求項 1】 受光した光に対応する信号電荷を生成する電荷生成部と、
前記電荷生成部により生成された電荷を蓄積する電荷蓄積部と、
前記電荷生成部と前記電荷蓄積部との間に配設され前記電荷生成部により生成された前記信号電荷を前記電荷蓄積部に転送する転送ゲート部と、
前記電荷蓄積部に蓄積されている前記信号電荷に応じた画素信号を生成する画素信号生成部と、
前記電荷蓄積部における前記信号電荷をリセットするリセット部と
を、単位画素の構成要素として含み、
他の単位画素とともに共通に接続された、前記転送ゲート部に接続されてなる転送配線と、
前記転送配線を駆動する転送駆動バッファと、
他の単位画素とともに共通に接続された、前記リセット部に接続されてなるリセット配線と、
前記リセット配線を駆動するリセット駆動バッファと、
他の単位画素とともに共通に接続された、前記リセット部および前記画素信号生成部に接続されてなるドレイン配線と、
前記ドレイン配線を駆動するドレイン駆動バッファと、
前記画素信号生成部により生成された前記画素信号を受け取る、他の単位画素とともに共通に接続された信号線と
が設けられており、
前記画素信号生成部により生成された前記画素信号を前記信号線に出力するための画素選択動作が、前記電荷蓄積部の電位の制御により行なわれるものであって、
前記ドレイン駆動バッファに駆動パルスが印加された際のドレイン駆動バッファにより駆動される前記ドレイン配線の電圧波形におけるオフ時の遷移時間が、前記リセット駆動バッファにより駆動される前記リセット配線および前記転送駆

動バッファにより駆動される前記転送配線の各オフ時の遷移時間の何れに対しても、5 倍以上でかつ 1 万倍以下となるように構成されている

ことを特徴とする固体撮像装置。

【請求項 2】 前記ドレイン配線の前記オフ時の遷移時間が、前記リセット配線および前記転送配線の各オフ時の遷移時間の何れに対しても、5 0 ～ 6 0 0 倍の範囲となるように構成されている

ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】 前記単位画素が 2 次元行列状に配列されてなる画素部を有し、当該画素部による表示解像度が V G A 規格に準じるものにおいて、

前記ドレイン配線の前記オフ時の遷移時間が、1 0 ナノ秒以上 1 0 0 0 ナノ秒以下となるように構成されている

ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 4】 前記ドレイン配線の前記オフ時の遷移時間が、4 0 ナノ秒以上 6 0 0 ナノ秒以下となるように構成されている

ことを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 5】 前記ドレイン配線の前記オフ時の遷移時間が、1 7 0 ナノ秒以上となるように構成されている

ことを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】 前記ドレイン配線の前記オフ時の遷移時間が、画素クロック周期の $1/2$ 倍以上、前記ドレイン配線に対するオフ期間以下となるように構成されている

ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 7】 前記転送駆動バッファは、少なくとも前記転送配線と接続されているトランジスタを含み、

前記リセット駆動バッファは、少なくとも前記リセット配線と接続されているトランジスタを含み、

前記ドレイン駆動バッファは、少なくとも前記ドレイン配線と接続されているトランジスタを含み、

前記ドレイン配線と接続されているトランジスタの W/L 比 (W はゲート幅、

Lはゲート長)が、前記転送配線と接続されているトランジスタのW/L比および前記リセット配線と接続されているトランジスタのW/L比の何れよりも、 $1/5$ 倍～ $1/2500$ 倍の範囲内に設定されている

ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 8】 前記ドレイン配線と接続されているトランジスタのW/L比が、前記転送配線と接続されているトランジスタのW/L比および前記リセット配線と接続されているトランジスタのW/L比の何れよりも、 $1/10$ 倍～ $1/500$ 倍の範囲内に設定されている

ことを特徴とする請求項 7 に記載の固体撮像装置。

【請求項 9】 前記ドレイン駆動バッファのオフ側の基準配線と、前記ドレイン配線に対するオフ側の電圧を規定する基準電源との間に、駆動電流を制限する抵抗素子が設けられている

ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 10】 前記ドレイン駆動バッファのオフ側の基準配線と、前記ドレイン配線に対するオフ側の電圧を規定する基準電源との間に、駆動電流を規定する電流源が設けられている

ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 11】 受光した光に対応する信号電荷を生成する電荷生成部と、
前記電荷生成部により生成された電荷を蓄積する電荷蓄積部と、
前記電荷生成部と前記電荷蓄積部との間に配設され前記電荷生成部により生成された前記信号電荷を前記電荷蓄積部に転送する転送ゲート部と、
前記電荷蓄積部に蓄積されている前記信号電荷に応じた画素信号を生成する画素信号生成部と、

前記電荷蓄積部における前記信号電荷をリセットするリセット部と
を、単位画素の構成要素として含み、

前記画素信号生成部により生成された前記画素信号を受け取る、他の単位画素とともに共通に接続された信号線が設けられており、

前記画素信号生成部により生成された前記画素信号を前記信号線に出力するための画素選択動作が、前記電荷蓄積部の電位の制御により行なわれるものであ

て、

他の単位画素とともに共通に接続された、前記リセット部および前記画素信号生成部に接続されてなるドレイン配線が設けられており、

前記転送ゲート部に供給されるオフ電圧が、前記単位画素の全体の基準電圧を規定するマスタ基準電圧に対して、前記転送ゲート部に供給するオン電圧と反対極性の電圧値である

ことを特徴とする固体撮像装置。

【請求項 12】 前記オフ電圧を生成するための電圧生成回路を内蔵している

ことを特徴とする請求項 11 に記載の固体撮像装置。

【請求項 13】 前記オフ電圧は、前記単位画素の全体の基準電圧を規定するマスタ基準電圧との差が 0.7 V よりも大きく、かつ前記単位画素がブレイクダウンを起こさない範囲の大きさの電圧である

ことを特徴とする請求項 11 に記載の固体撮像装置。

【請求項 14】 前記単位画素は、半導体で形成されたウェル上に構成されており、

前記オフ電圧は、前記単位画素を構成する前記半導体の界面にチャネルを発生可能な大きさの電圧である

ことを特徴とする請求項 13 に記載の固体撮像装置。

【請求項 15】 受光した光に対応する信号電荷を生成する電荷生成部と、前記電荷生成部により生成された電荷を蓄積する電荷蓄積部と、前記電荷生成部と前記電荷蓄積部との間に配設され前記電荷生成部により生成された前記信号電荷を前記電荷蓄積部に転送する転送ゲート部と、前記電荷蓄積部に蓄積されている前記信号電荷に応じた画素信号を生成する画素信号生成部と、

前記電荷蓄積部における前記信号電荷をリセットするリセット部とを、単位画素の構成要素として含み、前記画素信号生成部により生成された前記画素信号を受け取る、他の単位画素とともに共通に接続された信号線が設けられており、

前記画素信号生成部により生成された前記画素信号を前記信号線に出力するための画素選択動作が、前記電荷蓄積部の電位の制御により行なわれるものであって、

前記単位画素は、半導体で形成されたウェル上に構成されており、さらに、前記ウェルの電位を固定するバイアス配線が設けられていることを特徴とする固体撮像装置。

【請求項 1 6】 前記単位画素ごとに、前記バイアス配線と前記ウェルとを接続するコンタクト部が設けられている

ことを特徴とする請求項 1 5 に記載の固体撮像装置。

【請求項 1 7】 受光した光に対応する信号電荷を生成する電荷生成部と、前記電荷生成部により生成された電荷を蓄積する電荷蓄積部と、前記電荷生成部と前記電荷蓄積部との間に配設され前記電荷生成部により生成された前記信号電荷を前記電荷蓄積部に転送する転送ゲート部と、前記電荷蓄積部に蓄積されている前記信号電荷に応じた画素信号を生成する画素信号生成部と、

前記電荷蓄積部における前記信号電荷をリセットする、ディプレッション型のトランジスタで構成されているリセット部と

を、単位画素の構成要素として含み、

前記画素信号生成部により生成された前記画素信号を受け取る、他の単位画素とともに共通に接続された信号線が設けられており、

前記画素信号生成部により生成された前記画素信号を前記信号線に出力するための画素選択動作が前記電荷蓄積部の電位の制御により行なわれるものである

ことを特徴とする固体撮像装置。

【請求項 1 8】 他の単位画素とともに共通に接続された、前記リセット部および前記画素信号生成部に接続されてなるドレイン配線を備え、

前記リセット部のトランジスタは、オンした状態で、前記電荷蓄積部を、前記ドレイン配線のオン時における電圧レベルに設定可能なものである

ことを特徴とする請求項 1 7 に記載の固体撮像装置。

【請求項 1 9】 受光した光に対応する信号電荷を生成する電荷生成部と、

前記電荷生成部により生成された電荷を蓄積する電荷蓄積部と、
前記電荷生成部と前記電荷蓄積部との間に配設され前記電荷生成部により生成された前記信号電荷を前記電荷蓄積部に転送する転送ゲート部と、
前記電荷蓄積部に蓄積されている前記信号電荷に応じた画素信号を生成する画素信号生成部と、
前記電荷蓄積部における前記信号電荷をリセットするリセット部と
を、単位画素の構成要素として含み、
他の単位画素とともに共通に接続された、前記転送ゲート部に接続されてなる転送配線と、
前記転送配線を駆動する転送駆動バッファと、
他の単位画素とともに共通に接続された、前記リセット部に接続されてなるリセット配線と、
前記リセット配線を駆動するリセット駆動バッファと、
他の単位画素とともに共通に接続された、前記リセット部および前記画素信号生成部に接続されてなるドレイン配線と、
前記ドレイン配線を駆動するドレイン駆動バッファと、
前記画素信号生成部により生成された前記画素信号を受け取る、他の単位画素とともに共通に接続された信号線と
が設けられており、
前記画素信号生成部により生成された前記画素信号を前記信号線に出力するための画素選択動作が、前記電荷蓄積部の電位の制御により行なわれるものであって、
前記ドレイン駆動バッファに駆動パルスが印加された際のドレイン駆動バッファにより駆動される前記ドレイン配線の電圧波形におけるオフ時の遷移時間が、前記リセット駆動バッファにより駆動される前記リセット配線および前記転送駆動バッファにより駆動される前記転送配線の各オフ時の遷移時間の何れよりも長くなるように構成されている
ことを特徴とする固体撮像装置。

【請求項 2 0】 受光した光に対応する信号電荷を生成する電荷生成部、前

記電荷生成部により生成された電荷を蓄積する電荷蓄積部、前記電荷生成部と前記電荷蓄積部との間に配設され前記電荷生成部により生成された前記信号電荷を前記電荷蓄積部に転送する転送ゲート部、前記電荷蓄積部に蓄積されている前記信号電荷に応じた画素信号を生成する画素信号生成部、および前記電荷蓄積部における前記信号電荷をリセットするリセット部を、単位画素の構成要素として含み、さらに、他の単位画素とともに共通に接続された、前記転送ゲート部に接続されてなる転送配線、他の単位画素とともに共通に接続された、前記リセット部に接続されてなるリセット配線、他の単位画素とともに共通に接続された、前記リセット部および前記画素信号生成部に接続されてなるドレイン配線、および前記画素信号生成部により生成された前記画素信号を受け取る、他の単位画素とともに共通に接続された信号線が設けられており、前記画素信号生成部により生成された前記画素信号を前記信号線に出力するための画素選択動作が前記電荷蓄積部の電位の制御により行なわれるものである固体撮像素子と、

前記ドレイン配線を駆動するための駆動パルスを受け、前記ドレイン配線を駆動する際の電圧波形におけるオフ時の遷移時間が、前記リセット配線および前記転送配線を駆動する際の電圧波形における各オフ時の遷移時間の何れよりも長くなるように波形整形を行なう波形整形部と

を備えたことを特徴とする固体撮像装置。

【請求項 2 1】 前記波形整形部は、前記ドレイン配線を駆動する際の電圧波形におけるオフ時の遷移時間が、前記リセット配線および前記転送配線の双方についての前記オフ時の遷移時間に対して、5 倍以上でかつ 1 万倍以下となるように波形整形を行なう

ことを特徴とする請求項 2 0 に記載の固体撮像装置。

【請求項 2 2】 受光した光に対応する信号電荷を生成する電荷生成部と、前記電荷生成部により生成された電荷を蓄積する電荷蓄積部と、前記電荷生成部と前記電荷蓄積部との間に配設され前記電荷生成部により生成された前記信号電荷を前記電荷蓄積部に転送する転送ゲート部と、

前記電荷蓄積部に蓄積されている前記信号電荷に応じた画素信号を生成する画素信号生成部と、

前記電荷蓄積部における前記信号電荷をリセットするリセット部とを、単位画素の構成要素として含み、
他の単位画素とともに共通に接続された、前記転送ゲート部に接続されてなる転送配線と、
他の単位画素とともに共通に接続された、前記リセット部に接続されてなるリセット配線と、
他の単位画素とともに共通に接続された、前記リセット部および前記画素信号生成部に接続されてなるドレイン配線と、
前記画素信号生成部により生成された前記画素信号を受け取る、他の単位画素とともに共通に接続された信号線と
が設けられており、
前記画素信号生成部により生成された前記画素信号を前記信号線に出力するための画素選択動作が前記電荷蓄積部の電位の制御により行なわれるものである固体撮像装置を駆動する駆動制御方法であって、
前記ドレイン配線を駆動する際の電圧波形におけるオフ時の遷移時間が、前記リセット配線および前記転送配線を駆動する際の電圧波形における各オフ時の遷移時間の何れよりも長くなるように、前記ドレイン配線を駆動することを特徴とする固体撮像装置の駆動制御方法。

【請求項 2 3】 前記ドレイン配線を駆動する際の電圧波形におけるオフ時の遷移時間が、前記リセット配線および前記転送配線の双方についての前記オフ時の遷移時間に対して、5 倍以上でかつ 1 万倍以下となるように、前記ドレイン配線を駆動する

ことを特徴とする請求項 2 2 に記載の駆動制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、複数の単位画素が配列されてなり、アドレス制御により個々の単位画素からの信号を任意選択し読出可能な固体撮像装置、およびその制御方法に関する。より詳細には、選択トランジスタを持たずに、光電変換素子と 3 つのトラ

ンジスタで単位画素を構成するタイプの固体撮像装置とその駆動制御方法に関する。

【0002】

【従来の技術】

X-Yアドレス型固体撮像素子の一種である増幅型固体撮像素子（APS；Active Pixel Sensor /ゲインセルともいわれる）は、画素そのものに増幅機能を持たせるために、MOS構造などの能動素子（MOSトランジスタ）を用いて画素を構成している。すなわち、光電変換素子であるフォトダイオードに蓄積された信号電荷（光電子）を前記能動素子で増幅し、画像情報として読み出す。

【0003】

この種のX-Yアドレス型固体撮像素子では、たとえば、画素トランジスタが2次元行列状に多数配列されて画素部が構成され、ライン（行）ごとあるいは画素ごとに入射光に対応する信号電荷の蓄積が開始され、その蓄積された信号電荷に基づく電流または電圧の信号がアドレス指定によって各画素から順に読み出される。

【0004】

<従来の単位画素の構成；第1例>

図19（A）は、従来の単位画素3の第1例を示す図である。この第1例の単位画素3は、CMOSセンサとして汎用的な4トランジスタ構成のものであって、従来からよく知られた構成である。

【0005】

この第1例の単位画素3は、光を電荷に変換する光電変換機能とともに、その電荷を蓄積する電荷蓄積機能の各機能を兼ね備えた電荷生成部32と、電荷生成部32に対して、電荷読出部（転送ゲート部／読出ゲート部）の一例である読出選択用トランジスタ34、リセットゲート部の一例であるリセットトランジスタ36、垂直選択用トランジスタ40、およびフローティングディフュージョン38の電位変化を検知する検知素子の一例であるソースフォロア構成の増幅用トランジスタ42を有する。

【0006】

読出選択用トランジスタ 3 4 は、転送配線（読出選択線） 5 5 を介して転送駆動バッファ 1 5 0 により駆動されるようになっている。リセットトランジスタ 3 6 は、リセット配線 5 6 を介してリセット駆動バッファ 1 5 2 により駆動されるようになっている。垂直選択用トランジスタ 4 0 は、垂直選択線 5 2 を介して選択駆動バッファ 1 5 4 により駆動されるようになっている。

【 0 0 0 7 】

また、単位画素 3 は、電荷蓄積部の機能を備えた電荷注入部の一例であるフローティングディフュージョン 3 8 とからなる FDA (F l o a t i n g D i f f u s i o n A m p) 構成の画素信号生成部 5 を有するものとなっている。フローティングディフュージョン 3 8 は寄生容量を持った拡散層である。

【 0 0 0 8 】

画素信号生成部 5 におけるリセットトランジスタ 3 6 は、ソースがフローティングディフュージョン 3 8 に、ドレインが電源 V D D にそれぞれ接続され、ゲート（リセットゲート R G ）にはリセットパルス R S T がリセット駆動バッファ 1 5 2 から入力される。

【 0 0 0 9 】

垂直選択用トランジスタ 4 0 は、ドレインが電源 V D D に、ソースが増幅用トランジスタ 4 2 のドレインにそれぞれ接続され、ゲート（特に垂直選択ゲート S E L V という）は垂直選択線 5 2 に接続されている。この垂直選択線 5 2 には、垂直選択信号が印加される。増幅用トランジスタ 4 2 は、ゲートがフローティングディフュージョン 3 8 に接続され、ドレインが垂直選択用トランジスタ 4 0 のソースに、ソースは画素線 5 1 を介して垂直信号線 5 3 に接続されている。

【 0 0 1 0 】

このような構成では、フローティングディフュージョン 3 8 は増幅用トランジスタ 4 2 のゲートに接続されているので、増幅用トランジスタ 4 2 はフローティングディフュージョン 3 8 の電位（以下 F D 電位という）に対応した信号を、画素線 5 1 を介して垂直信号線 5 3 に出力する。リセットトランジスタ 3 6 は、フローティングディフュージョン 3 8 をリセットする。読出選択用トランジスタ（転送トランジスタ） 3 4 は、電荷生成部 3 2 にて生成された信号電荷をフローテ

イングディフュージョン 3 8 に転送する。垂直信号線 5 3 には多数の画素が接続されているが、画素を選択するには、選択画素のみ垂直選択用トランジスタ 4 0 をオンする。すると選択画素のみが垂直信号線 5 3 と接続され、垂直信号線 5 3 には選択画素の信号が出力される。

【 0 0 1 1 】

このように、単位画素 3 は、画素を選択する目的で垂直選択用トランジスタ 4 0 を備えている構成が一般的であり、現在のほとんどの CMOS センサにおける単位画素 3 は、選択トランジスタを持っている。

【 0 0 1 2 】

< 従来の単位画素の構成；第 2 例 >

これに対して、単位画素 3 におけるトランジスタが占める面積を少なくすることで画素サイズを小さくする技術として、図 1 9 (B) に示すように、光電変換素子と 3 つのトランジスタで単位画素 3 を構成するもの（以下第 2 例の単位画素 3 という）が提案されている（たとえば特許文献 1 参照）。

【 0 0 1 3 】

【特許文献 1】

特許第 2 7 0 8 4 5 5 号公報

【 0 0 1 4 】

この第 2 例の単位画素 3 は、光電変換を行なうことで受光した光に対応する信号電荷を生成する電荷生成部 3 2 （たとえばフォトダイオード）と、電荷生成部 3 2 により生成された信号電荷に対応する信号電圧を増幅するための、ドレイン線（DRN）に接続された増幅用トランジスタ 4 2 と、電荷生成部 3 2 をリセットするためのリセットトランジスタ 3 6 とを、それぞれ有している。また、図示しない垂直シフトレジスタより転送配線（TRF）5 5 を介して走査される読出選択用トランジスタ（転送ゲート部）3 4 が、電荷生成部 3 2 と増幅用トランジスタ 4 2 のゲートとの間に設けられている。

【 0 0 1 5 】

増幅用トランジスタ 4 2 のゲートおよびリセットトランジスタ 3 6 のソースは読出選択用トランジスタ 3 4 を介して電荷生成部 3 2 に、リセットトランジスタ

36のドレインおよび増幅用トランジスタ42のドレインはドレイン線に、それぞれ接続されている。また、増幅用トランジスタ42のソースは垂直信号線53に接続されている。読出選択用トランジスタ34は、転送配線55を介して転送駆動バッファ150により駆動されるようになっている。リセットトランジスタ36は、リセット配線56を介してリセット駆動バッファ152により駆動されるようになっている。転送駆動バッファ150、リセット駆動バッファ152とも基準電圧である0Vと、電源電圧の2値で動作する。特に、この画素における従来例の読出選択用トランジスタ34のゲートに供給されるローレベル電圧は0Vである。

【0016】

この第2例の単位画素3においては、第1例と同様に、フローティングディフュージョン38は増幅用トランジスタ42のゲートに接続されているので、増幅用トランジスタ42はフローティングディフュージョン38の電位に対応した信号を垂直信号線53に出力する。

【0017】

リセットトランジスタ36は、リセット配線(RST)56が行方向に延びており、ドレイン線(DRN)57は殆どの画素に共通になっている。このドレイン線57は、ドレイン駆動バッファ(以下DRN駆動バッファという)140により駆動される。リセットトランジスタ36はリセット駆動バッファ152により駆動され、フローティングディフュージョン38の電位を制御する。ここで、特許文献1に記載の技術では、ドレイン線57が行方向に分離されているが、このドレイン線57は1行分の画素の信号電流を流さなければならないので、実際には列方向に電流を流せるように、全行共通の配線となる。

【0018】

電荷生成部32(光電変換素子)にて生成された信号電荷は読出選択用トランジスタ34によりフローティングディフュージョン38に転送される。

【0019】

ここで、第2例の単位画素3には、第1例とは異なり、増幅用トランジスタ42と直列に接続される垂直選択用トランジスタ40が設けられていない。垂直信

号線 5 3 には多数の画素が接続されているが、画素の選択は、選択トランジスタではなく、F D 電位の制御により行なう。通常は、F D 電位をロー（L o w）にしている。画素を選択するときは、選択画素の F D 電位をハイ（H i g h）にすることで、選択画素の信号を垂直信号線 5 3 に出す。その後、選択画素の F D 電位をローに戻す。この操作は 1 行分の画素に対して同時に行なわれる。

【 0 0 2 0 】

このように F D 電位を制御するためには、1) 選択行 F D 電位をハイにするときに、ドレイン線 5 7 をハイにし、選択行のリセットトランジスタ 3 6 を通して、その F D 電位をハイにする、2) 選択行 F D 電位をローに戻すときに、ドレイン線 5 7 をローにし、選択行のリセットトランジスタ 3 6 を通して、その F D 電位をローにする、という動作を行なう。

【 0 0 2 1 】

【発明が解決しようとする課題】

しかしながら、本願の発明者は、この第 2 のタイプの単位画素 3 により構成される固体撮像装置（デバイス）を試作したところ、1) 周辺部の画素と中心部の画素で、特性が異なりシェーディング現象が生じる、特に、光電変換素子の蓄積できる最大電荷量（飽和電子数）が中心部では少ない、2) ダイナミックレンジが小さい、という問題点を認識した。

【 0 0 2 2 】

上記 2 つの問題点に関して、本願発明者は、これらの現象を解析し、以下のことを明らかにした。

【 0 0 2 3 】

1) ドレイン線 5 7 は、画素部のほぼ全域に亘る配線であるので、これを駆動するときに画素部のウェル（Well；以下 P 型のウェルで代表的に説明を続ける）の電位が揺れてしまう。P ウェルに電位を与えるコンタクトは画素部の周囲に置いているが、このコンタクトから近いか遠いかによって、P ウェルの揺れ方が異なり、画素の特性を変化させる。特に、ドレイン線 5 7 をローにするときに、P ウェルは負に振られ、このため電荷生成部 3 2 からフローティングディフュージョン 3 8 や P ウェルに信号電荷が漏れてしまう。P ウェルのコンタクトから遠い

中心部はPウェルの揺れが大きいので、飽和電子数が中心部で少なくなってしまう。これを飽和シェーディングと呼ぶ。

【0024】

2) 選択行の画素を駆動し信号を読み出す期間(H無効期間)の後に、その信号を順に外部に出力する期間(H有効期間)があり、H有効期間にはドレイン線57をハイにしておく駆動の場合、リセットトランジスタ36のリーク電流によってFD電位が徐々に上がってしまう。このため、選択行と非選択行の差が小さくなるので、ダイナミックレンジがここで律則されて小さくなる。

【0025】

上記2つの問題点や解析結果は、全て、画素を、垂直選択用トランジスタ40で選択するタイプのCMOSセンサでは存在しない、新たな事項である。

【0026】

本発明は、上記事情に鑑みてなされたもので、3トランジスタ構成の単位画素を備えたデバイスを使用する際に、シェーディング現象、特に飽和シェーディング現象を改善することのできる駆動技術を提供することを第1の目的とする。

【0027】

また本発明は、上記事情に鑑みてなされたものであり、3トランジスタ構成の単位画素を備えたデバイスを使用する際に、リセットトランジスタのリーク電流に起因したダイナミックレンジ減少を改善することのできる駆動技術を提供することを第2の目的とする。

【0028】

【課題を解決するための手段】

本発明に係る駆動制御方法は、受光した光に対応する信号電荷を生成する電荷生成部と3つのトランジスタを含んでなる構成の単位画素を備えた固体撮像装置の駆動制御方法であって、ドレイン配線を駆動する際の電圧波形におけるオフ時の遷移時間が、リセット配線および転送配線を駆動する際の電圧波形における各オフ時の遷移時間の何れよりも遅く(好ましくは5倍以上でかつ1万倍以下、さらに好ましくは50～600倍の範囲)なるように、ドレイン配線の駆動電圧を鈍らして駆動することとした。

【 0 0 2 9 】

本発明に係る第 1 の固体撮像装置は、上記本発明に係る駆動制御方法を実施可能に構成されている固体撮像装置であって、ドレイン駆動バッファに駆動パルスが印加された際、ドレイン配線の電圧波形におけるオフ時の遷移時間が、リセット駆動バッファにより駆動されるリセット配線および転送駆動バッファにより駆動される転送配線の各オフ時の遷移時間の何れよりも遅く（好ましくは 5 倍以上でかつ 1 万倍以下、さらに好ましくは 5 0 ～ 6 0 0 倍の範囲）なるように、ドレイン配線の駆動電圧を鈍らして駆動することが可能に構成されているものとした。なお、ここでの各駆動バッファに印加される駆動パルス自体の遷移時間は、立下りや立上りが十分に短く、一般概念としての“パルス”と言えるものとすればよい。

【 0 0 3 0 】

ドレイン配線のオフ時遷移時間が、前述の条件を満足するようにするための構造としては、様々な仕組みを採用することができる。たとえば、ドレイン配線と接続されているトランジスタの W/L 比が、転送配線と接続されているトランジスタの W/L 比およびリセット配線と接続されているトランジスタの W/L 比の何れよりも、 $1/5$ 倍～ $1/2500$ 倍の範囲内、さらに好ましくは $1/10$ 倍～ $1/500$ 倍の範囲内に設定すればよい（後述する実施形態における第 1 のアプローチによる改善手法；第 1 例に対応）。

【 0 0 3 1 】

また、ドレイン駆動バッファのオフ側の基準配線と、ドレイン配線に対するオフ側の電圧を規定する基準電源との間に、駆動電流を制限する抵抗素子を設けてもよい（後述する実施形態における第 1 のアプローチによる改善手法；第 2 例に対応）。抵抗素子の抵抗値を調整することで、前述の条件を満足させることができる。また、調整により、飽和シェーディング量の少ない最適な状態に設定することもできる。抵抗値を可変な構造とすれば、一層好ましい構成となる。

【 0 0 3 2 】

また、ドレイン駆動バッファのオフ側の基準配線と、ドレイン配線に対するオフ側の電圧を規定する基準電源との間に、駆動電流を規定する電流源を設けても

よい（後述する実施形態における第1のアプローチによる改善手法；第3例に対応）。駆動電流量を可変な構造とすれば、一層好ましい構成となる。

【0033】

また、本発明に係る第3の固体撮像装置は、受光した光に対応する信号電荷を生成する電荷生成部と3つのトランジスタを含んでなる構成の単位画素を備えた固体撮像装置であって、読出選択用トランジスタのゲートのローレベル電圧を負電圧として、電荷生成部から電荷蓄積部に電荷が漏れることに対する電位障壁を形成するものとした（後述する実施形態における第2のアプローチによる改善手法に対応）。なお、ブレイクダウンを起こさない範囲の大きさの電圧とする。また、単位画素を構成する半導体の界面に正孔のチャネルを発生可能な大きさの負電圧を、オフ電圧に設定可能なものとする。設定電圧値を可変な構造とすれば、一層好ましい構成となる。

【0034】

本発明に係る第3の固体撮像装置は、受光した光に対応する信号電荷を生成する電荷生成部と3つのトランジスタを含んでなる構成の単位画素を備えた固体撮像装置であって、単位画素が構成されている、半導体で形成されたウェルの電位を固定するバイアス配線を設けることとした（後述する実施形態における第3のアプローチによる改善手法に対応）。この場合、単位画素ごとに、バイアス配線とウェルとを接続するコンタクト部を設けることが望ましい。

【0035】

本発明に係る第4固体撮像装置は、受光した光に対応する信号電荷を生成する電荷生成部と3つのトランジスタを含んでなる構成の単位画素を備えた固体撮像装置であって、電荷蓄積部における信号電荷をリセットするリセット部を、ディプレッション型のトランジスタで構成されているものとした（後述する実施形態における第4のアプローチによる改善手法に対応）。この場合、リセット部のトランジスタは、電荷蓄積部のリセットレベルを、ドレイン配線のオン時における電圧レベル程度に設定可能なものであることが望ましい。

【0036】

【作用】

本願発明は、従来技術で述べた3トランジスタ構成の単位画素における問題の解析を行なうとともに、詳しくは、後述する実施形態にて説明するが、その問題の解決手法（作用原理とその効果）を見出したことで、なされたものである。

【0037】

たとえば、第1のアプローチによる手法は、全画素共通のドレイン配線の電圧をオフ状態にする際の遷移時間（たとえばNMOSセンサであればローに振る際の立下り時間）を長くすれば飽和シェーディング量が小さくなる、デバイス駆動条件によってはその最適値が存在する、などの点を発見してなされたものである。たとえば、駆動バッファを構成するトランジスタの W/L 比の適正化を図る、または制御抵抗や電流源を基準電圧との間に挿入して駆動時の動作電流の適正化を図る、などの手法を適用することで、ドレイン電圧オフ時の遷移時間を、リセット配線や転送配線の各オフ時の遷移時間の何れに対しても長くなるように、好ましくは5倍以上でかつ1万倍以下の程度に長くする。これにより、周辺部の画素と中心部の画素の特性を揃えることで、飽和シェーディング量を少なくする。

【0038】

また、第2のアプローチによる手法は、読出選択用トランジスタオフ時の電極電圧を、画素全体の基準電圧を規定するマスタ基準電圧（たとえばGNDレベル）よりも、より深くすると（NMOSセンサであれば負側にすると）、電荷蓄積部に対する電位障壁を高くすることができ、飽和シェーディング量を小さくすることができる、という点を発見してなされたものである。

【0039】

また、第3のアプローチによる手法は、ウェル電位を固定するバイアス配線を設けることで、ウェル電位の揺れを抑えることができ、シェーディング量を小さくすることができる、という点を発見してなされたものである。

【0040】

また、第4のアプローチによる手法は、単位画素を構成するリセット部のリセットトランジスタを、ディプレッション型にすることで、フローティングディフュージョンなどの電荷蓄積部へのリーク電流を抑制し、これにより、電荷蓄積部のダイナミックレンジを広げることができる、という点を発見してなされたもので

ある。

【 0 0 4 1 】

なお、これら第 1 ～ 第 4 の各アプローチによる改善手法は、単独で適用することに限らず、任意に組み合わせて適用することもできる。

【 0 0 4 2 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について詳細に説明する。なお、以下においては、X-Yアドレス型の固体撮像装置の一例である、CMOS撮像素子に適用した場合を例に説明する。また、CMOS撮像素子は、全ての画素がNMOSよりなるものであるとして説明する。

【 0 0 4 3 】

<固体撮像装置の構成>

図 1 は、本発明の一実施形態に係る CMOS 固体撮像装置の概略構成図である。この固体撮像装置 1 は、カラー画像を撮像し得る電子スチルカメラとして適用されるようになっており、たとえば、静止画撮像モード時には、全画素を順番に読み出すモードが設定されるようになっている。

【 0 0 4 4 】

固体撮像装置 1 は、入射光量に応じた信号を出力する受光素子を含む画素が行および列に配列された（すなわち 2 次元マトリクス状の）撮像部を有し、各画素からの信号出力が電圧信号であって、CDS (Correlated Double Sampling ; 相関 2 重サンプリング) 処理機能部が各列ごとに設けられたカラム型のものである。すなわち、図 1 (A) に示すように、固体撮像装置 1 は、複数の単位画素 3 が行および列に配列された画素部（撮像部）10 と、画素部 10 の外側に設けられた駆動制御部 7 と、CDS 処理部（カラム回路）26 とを備えている。駆動制御部 7 としては、たとえば、水平走査回路 12 と垂直走査回路 14 を備える。

【 0 0 4 5 】

図 1 (A) では、簡単のため行および列の一部を省略して示しているが、現実には、各行や各列には、数十から数千の画素が配置される。また、駆動制御部 7 の他の構成要素として、水平走査回路 12、垂直走査回路 14、および CDS 処

理部 26 に所定タイミングのパルス信号を供給するタイミングジェネレータ（読出アドレス制御装置の一例）20 が設けられている。これらの駆動制御部 7 の各要素は、画素部 10 とともに、半導体集積回路製造技術と同様の技術を用いて単結晶シリコンなどの半導体領域に一体的に形成され、半導体システムの一例である固体撮像素子（撮像デバイス）として構成される。画素部 10 の各単位画素 3 は、デバイス全体の基準電圧を規定するマスタ基準電圧としての接地（GND）に接続されている。

【0046】

なおタイミングジェネレータ 20 は、画素部 10 や水平走査回路 12 など、他の機能要素とは独立して、別の半導体集積回路として提供されてもよい。この場合、画素部 10 や水平走査回路 12 などから成る撮像デバイスとタイミングジェネレータ 20 とにより、撮像装置が構築される。この撮像装置は、周辺の信号処理回路や電源回路なども組み込まれた撮像モジュールとして提供されてもよい。

【0047】

単位画素 3 は、垂直列選択のための、垂直制御線 15 を介して垂直走査回路 14 と、垂直信号線 19 を介して CDS 処理部 26 と、それぞれ接続されている。ここで、垂直制御線 15 は垂直走査回路 14 から画素に入る配線全般を示す。たとえば図 19（B）の画素においては、転送配線 55 とリセット配線 56 や、ドレイン線が垂直走査回路 14 から入る場合には、ドレイン線も含む。水平走査回路 12 や垂直走査回路 14 は、たとえばデコーダを含んで構成され、タイミングジェネレータ 20 から与えられる駆動パルスに応答してシフト動作（走査）を開始するようになっている。このため、垂直制御線 15 には、単位画素 3 を駆動するための種々のパルス信号（たとえば、リセットパルス RST、転送パルス TRF、DRN 制御パルス DRN など）が含まれる。

【0048】

カラム回路としての CDS 処理部 26 は、列ごとに設けられており、1 行分の画素の信号を受けて、その信号を処理する。たとえば、タイミングジェネレータ 20 から与えられるサンプルパルス SHP とサンプルパルス SHD といった 2 つのサンプルパルスに基づいて、垂直信号線 19 を介して入力された電圧モードの

画素信号に対して、画素リセット直後の信号レベル（ノイズレベル）と信号レベルとの差分をとる処理を行なう。これにより、固定パターンノイズ（FPN; Fixed Pattern Noise）やリセットノイズといわれるノイズ信号成分を取り除く。なお、CDS処理部26の後段には、必要に応じてAGC (Auto Gain Control) 回路やADC (Analog Digital Converter) 回路などをCDS処理部26と同一の半導体領域に設けることも可能である。

【0049】

水平走査回路12は、水平方向の読出列を規定する（CDS処理部26内の個々のカラム回路を選択する）水平デコーダ12aと、水平デコーダ12aにて規定された読出アドレスに従って、CDS処理部26の各信号を水平信号線18に導く水平駆動回路12bとを有する。垂直走査回路14は、垂直方向の読出行を規定する（画素部10の行を選択する）垂直デコーダ14aと、垂直デコーダ14aにて規定された読出アドレス上（行方向）の単位画素3に対する制御線にパルスを供給して駆動する垂直駆動回路14bとを有する。なお、垂直デコーダ14aは、信号を読み出す行の他に、電子シャッタ用の行なども選択する。タイミングジェネレータ20は、水平アドレス信号を水平デコーダ12aへ、また垂直アドレス信号を垂直デコーダ14aへ出力し、各デコーダ12a, 14aは、それを受けて対応する行もしくは列を選択する。

【0050】

CDS処理部26により処理された電圧信号は、水平走査回路12からの水平選択信号により駆動される図示しない水平選択スイッチを介して水平信号線18に伝達され、さらに出力バッファ28に入力され、この後、撮像信号S0として外部回路100に供給される。つまり、カラム型の固体撮像装置1においては、単位画素3からの出力信号（電圧信号）が、垂直信号線19→CDS処理部26→水平信号線18→出力バッファ28の順で出力される。その駆動は、1行分の画素出力信号は垂直信号線19を介してパラレルにCDS処理部26に送り、CDS処理後の信号は水平信号線18を介してシリアルに出力するようにする。垂直制御線15は、各行の選択を制御するものである。

【0051】

なお、垂直列や水平列ごとの駆動が可能である限り、それぞれのパルス信号を単位画素 3 に対して行方向および列方向の何れに配するか、すなわちパルス信号を印加するための駆動クロック線の物理的な配線方法は自由である。

【0052】

後述するように、垂直駆動回路 14b を通して画素に負電圧を供給することが好ましく、この理由から負電圧生成回路を搭載することが有る。もちろん、これを搭載せずに外部から負電圧を供給してもよい。

【0053】

固体撮像装置 1 の外部回路 100 としては、各撮影モードに対応した回路構成が採られる。たとえば、図 1 (B) に示すように、出力バッファ 28 から出力されたアナログの撮像信号 S0 をデジタルの撮像データ D0 に変換する A/D (Analog to Digital) 変換部 110 と、A/D 変換部 110 によりデジタル化された撮像データ D0 に基づいてデジタル信号処理を施すデジタル信号処理部 (DSP; Digital Signal Processor) 130 とを備える。デジタル信号処理部 130 は、たとえば色分離処理を施して R (赤), G (緑), B (青) の各画像を表す画像データ RGB を生成し、この画像データ RGB に対してその他の信号処理を施してモニタ出力用の画像データ D2 を生成する。また、デジタル信号処理部 130 には、記録メディアに撮像データを保存するための信号圧縮処理などを行なう機能部が備えられる。

【0054】

また外部回路 100 は、デジタル信号処理部 130 にてデジタル処理された画像データ D2 をアナログの画像信号 S1 に変換する D/A (Digital to Analog) 変換部 136 を備える。D/A 変換部 136 から出力された画像信号 S1 は、図示しない液晶モニタなどの表示デバイスに送られる。操作者は、この表示デバイスの表示画像を見ながら各種の操作を行なうことが可能になっている。

【0055】

単位画素 3 は、その詳細については図示を割愛するが、従来技術の項にて図 19 (B) に示した 3 トランジスタ構成のものと同様となっている。ドレイン線 57 は、画素部 10 の大部分の画素に共通で、列方向に延びて画素部 10 の端で共

通になっているか、または、電荷生成部 3 2 の上では穴が開いた格子状の配線である。ダミー画素など、ドレイン線 5 7 が別になっている画素が一部あってもよい。また、画素部 1 0 の周囲には、図示を割愛しているが、P ウェルの電位を与える配線とコンタクトが設けられている。

【 0 0 5 6 】

ドレイン線 5 7 は大部分または全部の画素に接続されているので、ドレイン線 5 7 をローに振るときに、画素部 1 0 の P ウェルの電位が揺れ、周辺と中央で揺れ幅と時間が異なるため、中央で電荷生成部 3 2 から漏れる電荷が多くなり、中央の飽和信号電荷が減少する。つまり、従来技術の項で説明したように、このままでは、周辺部の画素と中心部の画素で特性が異なる、という第 1 の問題を呈する。

【 0 0 5 7 】

図 2 ～図 1 0 は、上記第 1 の問題とその対策アプローチの第 1 の手法を説明する図である。先ず図 2 は、上記第 1 の問題（飽和シェーディング現象）を具体的に説明する図である。デバイスとしては、約 3 0 万画素（ 640×480 ピクセル）の V G A 規格に準じる C M O S センサを使用した。単位画素 3 は、従来技術の第 2 例で示した 3 トランジスタ構成のもので、画素ピッチは $4.1 \mu\text{m}$ である。なお、V G A とは、“Video Graphics Array” の略称であり、グラフィックス・モードや表示解像度を定義したものである。

【 0 0 5 8 】

試作デバイスに供給する電源電圧は 3.0 V 、クロック周波数は 6 MHz （フレームレート 13.3 fps ）とする。試作デバイスは、転送ゲート駆動電圧のローレベル（以下転送ゲートローレベルともいう）を可変にできるようになっており、さらに、ドレイン線 5 7 のローレベルの電位（ここでは 0 V ）をデバイスの外部から供給する端子（D R N 駆動バッファの接地側配線端子）D R N L を持つ。単位画素 3 に対するその他の駆動は 0 V （接地；G N D）と電源電圧（ 3.0 V ）で行なう。

【 0 0 5 9 】

飽和シェーディングの測定方法としては、電荷生成部が十分飽和する光量を照

射しながら、出力バッファ 2 8 にて得られる信号を、画面中心付近の 1 ラインをオシロスコープなどの波形モニタで観測し、周辺部分と中央部分との差をシェーディング量として測定することとした。図 2 に示すように、検証に用いた試作デバイスでは、周辺部分と中央部分とに大きな差が見られる。そして、中央部分での信号出力が周辺部分での信号出力よりも小さいことが分かる。

【 0 0 6 0 】

図 3 は、ドレイン線 5 7 の電圧変化を調べるための測定回路を示す図である。試作デバイスの D R N 駆動バッファ 1 4 0 の接地側配線端子 D R N L と G N D との間に制御抵抗 1 4 6 を挿入して、この制御抵抗 1 4 6 の電圧を測定することとした。電圧源 1 4 9 は 0 V としている。なお、この D R N 駆動バッファ 1 4 0 は、垂直走査回路 1 4 の垂直駆動回路 1 4 b 内に設けられている。

【 0 0 6 1 】

D R N 制御パルス（パルス形状の D R N 制御信号）を、試作デバイスの D R N 駆動バッファ 1 4 0（図示せず）に入力した際、制御抵抗 1 4 6 で測定される電圧波形は D R N 駆動バッファ 1 4 0 に流れる電流波形を反映したもので、ドレイン線 5 7 における電圧波形をも表す。なお、制御抵抗 1 4 6 は後述する第 1 のアプローチによる改善手法の第 2 例と密接に関わり、電圧源 1 4 9 は後述する第 2 のアプローチによる改善手法と密接に関わる。

【 0 0 6 2 】

図 4 は、制御抵抗 1 4 6 を接地側配線端子 D R N L と G N D との間に挿入して、D R N 制御パルスを鈍らせたときの、抵抗値と飽和シェーディングとの関係を示す図である。図中、転送ゲートのローレベル電圧を V_{t1} で示す。測定に使用した抵抗値は、E 1 2 系列に則った、1, 1 0, 4 7, 1 5 0, 3 3 0, 6 8 0, 1 0 0 0（単位はそれぞれ Ω ）である。

【 0 0 6 3 】

図 4（A）に示すように、 $V_{t1} = -0.6$ V の場合は、1 Ω ~ 1 0 Ω の範囲では飽和シェーディング量の変化が小さく、1 0 Ω 程度から飽和シェーディング量に変化の兆しが見られ、5 0 Ω 以上で大きな変化が見られる。つまり、制御抵抗 1 4 6 の抵抗値が 1 0 Ω 程度よりも小さければ、現状のデバイスに影響を与え

ないということである。また $10\ \Omega$ 程度以上にすれば、飽和シェーディングを小さくする効果が得られ、 $50\ \Omega$ 以上で有為な効果が得られるということである。

【0064】

また、図4 (B) に示すように、 $V_{t1} = -1\text{ V}$ の場合は、 $1\ \Omega \sim 10\ \Omega$ の範囲でも飽和シェーディング量に大きな変化が見られ、 $50\ \Omega \sim 200\ \Omega$ の範囲で最も小さく、それ以上になると（たとえば $200\ \Omega \sim 1000\ \Omega$ 程度までは）飽和シェーディング量が少し増える傾向にある。つまり、制御抵抗 146 の抵抗値が $10\ \Omega$ 程度以上で飽和シェーディングを小さくする有為な効果が見え、 $50 \sim 200\ \Omega$ 程度が最も良いと考えられる。

【0065】

図5 は、図4 に示した結果を、制御抵抗 146 における電圧波形の立下り時間（オフ時の遷移時間）と飽和シェーディングとの関係で示した図である。CMOS センサにおける駆動パルス形状は、転送配線 55、リセット配線 56、およびドレイン線 57 の何れについても、通常、立下り時間および立上り時間（オン時の遷移時間）を、数 ns（たとえば $1 \sim 3\text{ ns}$ ）以下にする。よって、制御抵抗 146 に現れる電圧波形の立下り時間および立上り時間が、およそ数 ns 以下であれば、概ね、通常の条件にてデバイスが駆動されていると考えてよい。

【0066】

図5 (A) に示すように、 $V_{t1} = -0.6\text{ V}$ の場合は、 $1\ \Omega \sim 10\ \Omega$ の範囲に対応する立下り時間 10 ns （通常の $3 \sim 10$ 倍程度以上）までは飽和シェーディング量の変化が小さく、 $10\ \Omega$ 程度に対応する 10 ns 程度から飽和シェーディング量に変化の兆しが見られ、 $50\ \Omega$ 程度に対応する 40 ns 以上で大きな変化が見られる。つまり、立下り時間に着目すると、 10 ns 程度よりも小さければ、現状のデバイスに影響を与えないということである。また、 10 ns 程度以上にすれば、飽和シェーディングを小さくする効果が得られ、 40 ns 以上で有為な効果が得られるということである。この効果は、立下り時間 10000 ns （通常の $3000 \sim 10000$ 倍程度以下）まで継続している。

【0067】

また、図5 (B) に示すように、 $V_{t1} = -1\text{ V}$ の場合は、 $10\text{ ns} \sim 40\text{ ns}$

sでも飽和シェーディング量に大きな変化が見られ、立下り時間40ns（通常の13～20倍程度）以上で有為な効果が見え、特に抵抗値50～200Ω程度に対応する170～600～1000ns（通常の56～1000倍程度）の範囲で飽和シェーディング量が最も小さく、それ以上（たとえば1000ns～5000ns程度までは；通常の330～5000倍程度）になると飽和シェーディング量が少し増える傾向にある。つまり、DRN電圧を鈍らせることで飽和シェーディングを改善することが可能であり、立下り時間が40ns程度以上で飽和シェーディングを小さくする有為な効果が見え、170～600ns程度（たとえば、通常の56～600倍程度）が最も良いと考えられる。

【0068】

このように、ローレベル電圧 V_{t1} によって、効果の現れる範囲が異なるが、オフ時の遷移時間（本例では立下り時間）を、概ね、通常のものに対して、3～10（平均で5倍程度）以上で10000（1万）倍以下の範囲で、さらに好ましくは、50～600倍程度の範囲で、DRN電圧を鈍らせることで、飽和シェーディングを改善することが可能である。

【0069】

図6～図10は、Pウェルの揺れをシミュレーションで再現した結果を示す図である。それぞれ、制御抵抗146の値別に示している。なお、ここでシミュレーション結果を示しているのは、Pウェルの揺れを実測することは難しかったためである。各図におけるW1～W4の波形線は、各図中に示した各デバイス位置でのものである。また、図6中に示すように、SEL__0の波形線は、DRN制御パルスのもを示し、VSS__Dの波形線は、実験で測定した端子におけるものである。

【0070】

図示するように、制御抵抗146の値を大きくすると、ドレイン線57におけるDRN電圧の立下り時間が長くなり、Pウェルの揺れが小さくなり、中心部と周辺部での差も小さくなることが分かる。つまり、制御抵抗146の値を大きくすることや、DRN電圧の立下り時間を長くすることは、周辺部の画素と中心部の画素の特性を揃えることに繋がり、このことは、飽和シェーディングを改善す

る上で効果が高いことが分かる。

【 0 0 7 1 】

本実施形態の構成では、上記の解析結果に基づき、第 1 の問題（飽和シェーディング現象）を解消する第 1 のアプローチによる改善手法として、D R N 電圧を鈍らせることで飽和シェーディングを改善する構成を採る。具体的には、ドレイン線 5 7 をローに振るときの立下り時間を制御し、この飽和シェーディング現象を改善する仕組みを設ける。この仕組みについて簡単に説明すると、先ず、ドレイン線 5 7 をローに振るときに、立下り時間を長くしてゆっくり立ち下げるという駆動方法を採用。これにより、P ウェルの電位の振れ幅を小さくすることができ、あるいは、画素部 1 0 の周辺と中心の P ウェル電位差を小さくすることができる。本実施形態の構成では、この立下り時間を、通常の駆動手法における場合よりも、有為に（意図的に）長くする。

【 0 0 7 2 】

「立下り時間を、通常の駆動手法における場合よりも、有為に長くする」際の定義手法としては、通常の駆動手法における駆動パルスの立下り時間に対する割合（倍数）で規定する方法や、画素数（より具体的には駆動周期）との対応における立下り時間の割合で規定する方法、あるいは P ウェルの周辺部と中央部との電位差が所定レベル（画質劣化が目立たないレベル）以下となる時間として定義する手法、など様々な定義手法が考えられる。

【 0 0 7 3 】

また、通常の駆動手法における駆動パルスの立下り時間に対する割合（倍数）で規定する場合、自身の通常の駆動における D R N 電圧の立下り時間との比較に限らず、他の駆動パルスとの比較で規定してもよい。たとえば、D R N 電圧の立下り時間が、転送配線やリセット配線の立下り時間の何れよりも所定倍数以上長くなるように、各配線を駆動するバッファの大きさを決めてもよい。

【 0 0 7 4 】

また、選択画素を非選択状態に復帰させる動作はブランキング期間内に D R N 制御パルスをローレベルにすることで行なわれる。駆動周期との対応における立下り時間の割合で規定する場合、その最大値の規定の仕方が問題になるが、たと

えばその最大値をDRN制御パルスのローレベル期間で規定し、この範囲内で実際の立下り時間を規定するとよい。本実験のCMOSセンサであれば、DRN制御パルスのローレベル期間（すなわちドレイン線57に対するオフ期間）は、600ns程度に設定している。

【0075】

なお、立下り時間がドレイン線57に対するオフ期間以上となるように設定することを排除するものではなく、本実験でも600ns以上の立下り時間は測定データの補外曲線から求めたものであるが、この場合には、選択画素を非選択状態に復帰させるだけの低い電圧までは到達することが要求される。

【0076】

何れにしても、周辺部の画素と中心部の画素で特性が異なるという問題や、その原因がPウェル電位差に起因するものであるという点を発見し、この問題を解消するべく、第1のアプローチによる改善手法は、Pウェル電位差に起因する画質劣化（飽和シェーディング現象）が目立たないレベルにその立下り時間を設定するという点に特徴を有する。

【0077】

たとえば、図2～図10に示した結果に基づき、画素部10の他のパルスである転送パルスTRFとリセットパルスRSTの各立下り時間と比べて10倍以上長い立下り時間を与える。たとえば、CMOSセンサの他の部分でのパルス形状は、立下り時間がおおよそ数ns以下であるが、これをドレイン線57でのDRN電圧は40ns（ナノ秒）以上となるようにする。この40nsというのは、VGA（約30万画素）のCMOSセンサから30フレーム／秒で画像を出力する場合における画素クロック周期の約半分の期間である。ここでは、VGA準拠のCMOSセンサの場合で示したが、他の表示解像度のものでも、画素クロック周期の約半分の期間以上であればよいと考えられる。

【0078】

表示解像度すなわち総画素数が異なれば、当然のことながら、それに応じて、立下り時間の絶対量も異なる。なおここで、立下り時間としては、一般的な定義、すなわちハイレベルを100、ローレベルを0として、90から10まで遷移

する時間ということでよい。以下、上記飽和シェーディングの問題を解消するための、第1のアプローチによる改善手法の具体的な事例について説明する。

【0079】

＜第1のアプローチによる改善手法；第1例＞

図11は、第1のアプローチによる改善手法に従って、ドレイン線57に印加される駆動電圧の立下り時間を制御する方法（立下り時間制御方法）の第1例を説明する図である。ここで、図11（A）はドレイン線57を駆動する回路に着目した概念図、図11（B）はドレイン線57を駆動するDRN駆動バッファ（以下単にバッファともいう）140の詳細例を示した図、図11（C）は駆動タイミングの一例を示す図である。

【0080】

図11（A）に示すように、画素部10の各列に対応してドレイン線57が列方向に延びており、下端でDRN駆動バッファ（以下単にバッファともいう）140の出力端子に接続されている。バッファ140は各列にあり、画素部10の外側からドレイン線57を駆動する制御パルス（DRN制御パルス）が印加される。これを受けて各バッファ140は、各列のドレイン線57に対して同じ駆動をする。つまり、各列のドレイン線57は全画素に対して共通である。

【0081】

図11（B）に示すように、ドレイン線57のバッファ140は、CMOS型のインバータ142，144を2段用いて構成されている。各インバータ142，144はそれぞれ、符号aで示すNMOSトランジスタと符号bで示すPMOSトランジスタで構成されている。各トランジスタを纏めてバッファトランジスタともいう。ここで、通常はドレイン線57と接続される最終段のインバータ144は、バッファトランジスタのW/L比（W：ゲート幅、L：ゲート長）を大きくして、立上り時間および立下り時間がともに長くないようにする。たとえば、図11（A）に示すように、ドレイン線57の各列にバッファ140を設ける構成のもので、画素数VGAクラスの場合、立下り時間を数ns以下とするため、従来は、バッファ最終段のNMOSトランジスタ144aのW/L比を、たとえば5～10/0.6程度（典型例では10/0.6）に設定している。

【0082】

これに対して、この第1の立下り時間制御方法における構成では、バッファトランジスタのW/L比を通常（従来）の構成よりも小さくすることで、立下り時間を積極的に（意図的に）長くする。特に、NMOSトランジスタ144aのW/L比を大きくせず、わざと立下り時間を長くする。たとえば、前述との対比（図11（A）の構成で画素数VGAクラス）でいえば、 $1/0.6 \sim 1/20$ 程度に設定するとよい。

【0083】

つまり、従来の構成のものに対して、有為に、小さく設定する。たとえば、前例では、通常比で、 $1/10 \sim 1/320$ の範囲程度に設定するとよい。勿論これは一例では、たとえば少なくとも $1/5 \sim 1/500$ の範囲程度に設定するとよい。

【0084】

なお、ここでは、従来の構成におけるバッファ最終段のW/L比との比較で規定したが、単位画素3内の転送配線（読出選択線）55やリセット配線56を駆動するトランジスタの立上り時間や立下り時間も数ns以下にするので、これらのW/L比との比較でも、前述の数値関係は同様のことが言える。すなわち、ドレイン線57と接続されているトランジスタのW/L比が、転送配線55と接続されているトランジスタのW/L比およびリセット配線56と接続されているトランジスタのW/L比の何れよりも、 $1/5 \sim 1/500$ の範囲、さらに好ましくは $1/10 \sim 1/320$ の範囲程度に設定されているものとするのがよい。バッファ最終段のW/L比を、このような小さな値にすることは、通常の設計では有り得ない。

【0085】

こうすることで、図11（C）に示すように、バッファ140に印加されるDRN制御パルスの立下り時間はおおよそ数ns以下であるが、バッファ140から出力されドレイン線57を駆動するDRN電圧のパルス形状は、立下り時間が40ns以上となる。これにより、画素部10の中心部で飽和電子数が少ないという問題を解決することができ、Pウェル電位差を実用レベルに低減することがで

き、飽和シェーディングという画質劣化を改善することができる。

【0086】

なお、立上がり側は、飽和電子数には影響しない。しかしPウェルを揺らし、しかも周辺と中央で異なる点では立下りと同様である。また、本願発明者の試作では確認されなかったが、画素内に低電圧のN型拡散層がある場合には、そこがPウェルと順バイアスになり、Pウェル中に電子が注入され、それが電荷生成部32に入ってしまう危険性がある。よって、時間が許せば、立ち上がりもゆっくりになるようにバッファ最終段（すなわちインバータ144）のPMOSを小さく作るのが好ましい。ただし、ドレイン線57がハイのときに画素の信号電流を流すので、問題となるほどの電圧低下を起こさない程度にする必要がある。

【0087】

＜第1のアプローチによる改善手法；第1例の変形＞

図12は、第1例の立下り時間制御方法を実現する手法の変形例を説明する図である。ここで、図12（A）はドレイン線57を駆動する回路に着目した概念図、図12（B）はドレイン線57を駆動するDRN駆動バッファ140の詳細例を示した図、図12（C）は、第1例の立下り時間制御方法におけるW/L比を従来例との比較において整理した図表である。

【0088】

図12（A）に示すように、この変形例では、画素部10の横方向からドレイン線57を駆動する構成としている点に特徴を有する。画素部10の左右端部に、バッファ140の出力端子に接続されている。ドレイン線57は、フォトダイオード（電荷生成部32）上では穴の開いた格子状の配線となっている。バッファ140は各行に設けられており、このバッファ140は、画素部10の外側からのDRN制御パルスによって各行のドレイン線57に対して同じ駆動をする。なお、ここで、バッファ最終段のロー側電源配線、すなわちNMOSトランジスタ144bのソース端子のみ明示的に引き出して示しており、この配線は、図12（B）に示すように、GND配線にする。

【0089】

このように、横方向からドレイン線57を駆動する構成で、画素数VGAクラ

スの場合、立下り時間を数 ns 以下とするため、従来は、バッファ最終段の NMOS トランジスタ 144b の W/L 比を、各列にバッファ 140 を設ける構成のものと同様に、たとえば 5 ~ 10 / 0.6 程度（典型例では 6 / 0.6）に設定している。

【0090】

これに対して、この変形例では、NMOS トランジスタ 144b の W/L 比を、1 / 1 ~ 1 / 20 程度に設定する。つまり、従来の構成のものに対して（通常比で）、1 / 10 ~ 1 / 200 の範囲程度に設定するとよい。勿論これは一例では、たとえば少なくとも 1 / 5 以下 ~ 1 / 300 以下程度に設定するとよい。

【0091】

バッファ最終段の W/L 比を、このような小さな値にすることは、通常的设计では有り得ない。こうすることで、図 11 (C) に示したと同様、ドレイン線 57 を駆動するパルス形状を、立下り時間が 40 ns 以上にすることができ、各列にバッファ 140 を設ける構成のものと同様の効果を享受することができる。

【0092】

なお、第 1 例の立下り時間制御方法は、図 11 (A) や図 12 (A) に示したような構成の他に、画素部全面のドレイン線 57 を 1 個の DRN 駆動バッファ 140 で駆動する構成を採ることもできる。このような構成は、通常的设计では現実的に採用されないが、この第 1 例では採用できる。この場合、立下り時間を数 ns 以下とする従来の仕組みを採ったとすれば、バッファ最終段 NMOS の W/L 比を、たとえば 5000 / 0.6 程度に設定する。これに対して、この第 1 例の仕組みを採ると、NMOS トランジスタ 144b の W/L 比を 500 / 0.6 ~ 2 / 0.6 程度（通常比で、1 / 10 ~ 1 / 2500 の範囲程度）に設定することで、立下り時間が 40 ns 以上になるようにする。

【0093】

以上説明したように、第 1 例の立下り時間制御方法によれば、ドレイン線 57 を駆動するバッファを構成しているトランジスタの W/L 比を、通常（従来）の構成よりも小さく設定するようにした。これにより、駆動電圧の立下り時間を積極的に（意図的に）長くすることができる。そしてこれにより、選択トランジス

タのない 3 トランジスタタイプの画素構造であっても、ウェルが揺れることによる、画素部中央部での飽和電子数の低下を防ぐことができる。この結果、P ウェル電位差に起因する画質劣化を実用上目立たないレベルにすることができ、画質が改善されるようになった。

【 0 0 9 4 】

＜第 1 のアプローチによる改善手法；第 2 例＞

図 1 3 は、立下り時間制御方法の第 2 例を説明する図である。ここで、図 1 3 (A) はドレイン線 5 7 を駆動する回路に着目した概念図、図 1 3 (B) , 図 1 3 (C) , 図 1 3 (D) は、この第 2 例の変形例を示す図である。

【 0 0 9 5 】

この第 2 例の手法は、ドレイン線 5 7 と、それを駆動するバッファ 1 4 0 (特にバッファ最終段) のロー側電源配線 (オフ側の基準配線) とローレベル電圧源 (ドレイン線 5 7 に対するオフ側の電圧を規定する基準電源；GND を含む) との間に、駆動電流を制限する抵抗素子を挿入した構成としている点に特徴を有する。

【 0 0 9 6 】

駆動回路の基本的な構成は、図 1 2 (A) に示した第 1 例の変形のものと同じである。違いは、明示的に引き出して示した、バッファ最終段のロー側電源配線、すなわちインバータ 1 4 4 の NMOS トランジスタ 1 4 4 b のソース端子を、直接に GND 配線に接続するのではなく、GND 配線に制御抵抗 1 4 6 を介して接続する。

【 0 0 9 7 】

なお、図では、便宜上、縦 1 列の各バッファ 1 4 0 に対して、直線的に最終段のロー側電源配線を引き延ばして示している。また、図示を割愛するが、ドレイン線 5 7 を駆動する DRN 駆動バッファ 1 4 0 の詳細例は、図 1 2 (B) に示した第 1 例の変形のものと同じである。第 2 例の手法は、図 1 1 (A) に示した構成や画素部全面のドレイン線を 1 個の DRN 駆動バッファで駆動する構成のものにも同様に適用可能である。

【 0 0 9 8 】

この第2例の手法によれば、バッファトランジスタの W/L 比を通常通り大きくしておいても、この制御抵抗146を用いることで、第1例の手法と同様に、ドレイン線57をローに振るときの立下り時間を延ばすことができる。よって、第1例の手法と同様に、飽和シェーディングを改善する効果を享受することができる。

【0099】

第1例の手法のようにトランジスタの W/L 比だけを調節する手法では、設計時に W/L 比を決めると、容易に修正が効かない。これに対して、第2の手法では、製造マスクを1枚変更するだけで抵抗値を変更することができる。あるいは、図13(B)に変形例を示すように、予め抵抗素子を複数設けておき、内部のプログラムによって抵抗素子を選択（任意に組み合わせて選択してもよい）する構成（抵抗切替回路）を採ることもできる。この場合、抵抗値の変更が非常に容易である。なお、当然のことながら、制御抵抗146や抵抗切替回路をデバイスの外部に設けてもよい。

【0100】

図2～図10で示したデバイス解析から分かるように、実験によれば、画素数VGAクラスのもので、 $50\Omega \sim 200\Omega$ 程度の抵抗値のものを制御抵抗146として使用した場合に、画素部中央の飽和電子数の減少を防止しながら、動作スピードも問題ない良好な結果を得ている。図13(B)に示す変形例を適用すれば、実際のデバイス条件にて好適な値を見つけ出し、その好適な抵抗値を設定することができ、便利である。

【0101】

なお、この第2例の手法は、図13に示した構成、つまり図12(A)に示したデバイスへの適用に限らず、図11(A)に示したデバイスにも同様に適用可能である。また、制御抵抗146を1箇所ではGNDとの間に挿入する構成に限らず、各バッファ140に付随して入れてもよい。この場合、図13(C)に示すように各バッファ140の接地側配線端子とGNDの間に入れる構成や、図13(D)に示すように各バッファ140の出力側に入れる構成、あるいはこれらの組合せなどを採り得る。図13(D)の構成は、立下りのみでなく、立上りも緩

やかにする場合に有効である。各バッファ 1 4 0 のソース側に入れる構成は、制御抵抗 1 4 6 を各バッファ 1 4 0 に振り分けたものであり、実質上、図 1 3 (A) に示した構成と等価である。

【0 1 0 2】

＜第 1 のアプローチによる改善手法；第 3 例＞

図 1 4 は、立下り時間制御方法の第 3 例を説明する図である。ここで、図 1 4 (A) はドレイン線 5 7 を駆動する回路に着目した概念図、図 1 4 (B) は駆動タイミングの一例を示す図である。

【0 1 0 3】

第 3 例は、ドレイン線 5 7 と、それを駆動するバッファ 1 4 0 (特にバッファ最終段) のロー側電源配線 (オフ側の基準配線) とローレベル電圧源 (ドレイン線 5 7 に対するオフ側の電圧を規定する基準電源；GND を含む) との間に、駆動電流を規定する電流源を挿入した点に特徴を有する。具体的には、第 2 例の手法で用いていた制御抵抗 1 4 6 を電流源 1 4 8 に置き換える。この構成では、ローレベル電圧源 (図 3 に示した電圧源 1 4 9 相当) を GND に置き換えた構成と等しい。第 3 例の手法は、図 1 1 (A) に示した構成や画素部全面のドレイン線を 1 個の DRN 駆動バッファで駆動する構成のものにも同様に適用可能である。

【0 1 0 4】

電流源 1 4 8 が制御する電流値によって、ドレイン線 5 7 の立下り時間を制御することができる。電流源 1 4 8 は、N 型トランジスタを 1 個入れるだけでもよいし、カレントミラーで電流を制御するように構成してもよく、要するに、流れる電流を略一定に維持可能なものであればよく、様々な構成を適用可能である。駆動する電流値を調整することで、前述の条件を満足させることができるし、また飽和シェーディング量の少ない最適な状態に設定することもできる。設定電流値を可変なものとすれば、一層好ましい構成となる。定電流源は上記のように通常のものであり、0 V 近辺では定電流を流せず、図 1 4 (B) ではカーブがゆるくなり、0 V に落ち着く。

【0 1 0 5】

上述した第 1 例および第 2 例の手法では、図 1 1 (C) に示したように、立下

りの初期にDRN電位（バッファ140の出力電圧）が急に降下する。これに対して、この第3例の手法によれば、立下りの全期間に亘ってDRN電位が急に降下するのを抑える（制御する）ことができる。よって、第1例や第2例の手法と同様に、ドレイン線57をローに振るときの立下り時間を延ばすことができ、飽和シェーディングを改善する効果を享受することができる。

【0106】

＜第2のアプローチによる改善手法＞

次に、第1例～第3例に示した第1のアプローチによる改善手法とは異なる側面から、飽和シェーディングを改善する第2のアプローチについて説明する。

【0107】

図15は、転送ゲートローレベルと飽和シェーディングとの関係を示す図である。測定条件は、制御抵抗146の抵抗値が0Ω（制御抵抗146を設けず接地側配線端子DRNLをGNDに接続）の場合である。

【0108】

図15（A）に示すように、飽和シェーディングの絶対値は、転送ゲートローレベルが約-0.7V以下で小さくなっていることが分かる。また、図15（B）に示すように、端部飽和信号に対するシェーディング量、すなわちシェーディングの割合は、転送ゲートローレベルを負にすれば小さくなり、約-0.8Vで一定になっていることが分かる。

【0109】

第2のアプローチによる改善手法は、この点に着目して、転送ゲートローレベルが、電荷生成部32からフローティングディフュージョン38（電荷蓄積部）に電荷が漏れることに対する電位障壁を形成するための、負の電圧値を設定可能なものを使用することとした。

【0110】

図16は、第2のアプローチによる改善手法を説明する図である。図19（B）で既出の、転送駆動バッファ150は、レベルシフタ160と出力バッファ161とを有し、ローレベルがGNDの入力パルスを、ローレベルが負電圧のパルスとして出力する。この負電圧は、内蔵の負電圧生成回路162から供給される

。負電圧生成回路 1 6 2 は一般的なチャージポンプ回路でよい。もちろん、負電圧生成回路 1 6 2 を内蔵せず、外部から負電圧を供給してもよい。

【0 1 1 1】

転送トランジスタゲート電圧のローレベル (V_{t1}) を負にすることで、画素部中心部の飽和電子数の減少 (飽和シェーディング) を抑えることができる。このローレベル電圧 V_{t1} を負にすることで、電荷生成部 3 2 からフローティングディフュージョン 3 8 に電荷が漏れることに対する電位障壁を高くすることができるからである。なお、マイナス側の最大値は、デバイスが破壊 (ブレイクダウン) しない程度にする。

【0 1 1 2】

図 1 5 に示したように、実験によると、飽和信号量に対するシェーディングの割合は、ローレベル電圧 V_{t1} を負にすることで小さくなる。この手法は、第 1 例～第 3 例で示した DRN 電圧を鈍らせる第 1 のアプローチによる改善手法と独立に作用させることができる。図 1 5 から分かるように、設定電圧値を可変なものとするれば、一層好ましい構成となる。

【0 1 1 3】

図 1 5 に示したローレベル電圧 V_{t1} と飽和シェーディングの関係の図は、ドレイン線 5 7 を鈍らせずにローレベル電圧 V_{t1} の効果を見たものである。この図では、シェーディング量の絶対値は -0.7 V 以下で 0 V よりも小さくなっている。 -0.8 V 以下では、飽和信号量、シェーディング量とも一定である。これは、 -0.8 V 以下では単位画素 3 を構成する Si-酸化膜界面 (Si 半導体界面) に、信号電荷と逆極性の正孔 (ホール) のチャネルが生成され、ローレベル電圧 V_{t1} をそれよりも下げてもチャネルのホール濃度が変わるだけで、バルクの状態は変わらないからである。このような現象をピンニング現象という。よって、上記実験に基づけば、電圧源 1 4 9 の出力電圧を -0.7 V 程度以下に設定することが望ましい。さらに好ましくは、半導体界面に正孔のチャネルを発生させられるだけ十分な値 (たとえば -0.8 V 程度) 以下にするとよい。

【0 1 1 4】

なお、本願発明者は、特願 2 0 0 1 - 6 6 5 7 号において、選択トランジスタ

を含む 4 トランジスタ構成の単位画素 3 について、ローレベル電圧 V_{t1} を負電圧にする技術を提案している。この点では、上記第 4 例に記載の手法と共通する。しかし、特願 2 0 0 1 - 6 6 5 7 号における手法は、暗電流の低減を目的としたものであるのに対して、第 4 例の手法の目的は、3 トランジスタ構成の単位画素 3 について、画素部 1 0 の中央で飽和電圧が減る現象を抑制しようとするものであり、相互の目的が異なる。すなわち、第 4 例の手法が対象とする現象は、単位画素 3 が増幅用トランジスタ 4 2 と直列に接続された選択トランジスタを含まず、DRN 電位を振ってリセットトランジスタ 3 6 を通して画素の選択をするものに特有のものである。第 4 例の構成によれば、この単位画素 3 のローレベル電圧 V_{t1} を負にすることで、3 トランジスタ構成のものに特有の飽和シェーディング問題を抑えることができる。

【0 1 1 5】

<第 3 のアプローチによる改善手法>

次に、第 3 のアプローチによる改善手法について説明する。この第 3 のアプローチは、単位画素 3 がウェル電位を固定するための配線を持つように構成した点に特徴を有する。具体的には、P ウェルに電位を与えるバイス配線とコンタクト（ウェルコン）を使用することで、ウェル電位を固定する。

【0 1 1 6】

図 1 7 は、第 3 アプローチによる改善手法を説明する図である。ここでは、単位画素 3 に着目した概念図を示している。図 1 7 に示すように、単位画素 3 ごとに、画素内に、P ウェルに電位を与える P ウェルバイアス線 5 9 を垂直信号線 5 3 と並行に配設する。そして、単位画素 3 ごとに、P ウェルバイアス線 5 9 の所定位置にて、P ウェルバイアス線 5 9 とウェルとを接続するコンタクト部の一例である P ウェルコンタクト（以下ウェルコンともいう）5 9 a を設ける。この構造により、P ウェル電位の揺れ幅も時間も抑えることが可能となり、周辺部の画素と中心部の画素の特性を揃えることができる。つまり、P ウェルコンタクト 5 9 a を使用して P ウェル揺れの影響を抑える手法を適用することは、飽和シェーディングを改善する上で効果が高い。

【0 1 1 7】

この第3アプローチによる仕組みは、第1や第2のアプローチの対策を施す代りに実行するのがよい。勿論、第1や第2のアプローチによる改善手法と組み合わせてもよい。

【0118】

画素が大きくても構わない、選択トランジスタを持つ4トランジスタ構成の画素の場合には、画素内にウェルコンを入れることもあった。しかしウェルコンがなくとも大きな問題がないことは、現在発表や製品化されている大部分のCMOSセンサが画素内にウェルコンを持ってないことから明らかである。もちろん第1のアプローチによる改善手法の仕組みも持っていない。

【0119】

しかしながら、選択トランジスタを省略した3トランジスタ型の単位画素3は、画素サイズを小さくする目的で選択トランジスタを省略するものであり、図17に示したように、画素内にウェルコン59aを持つことは、画素サイズを小さくすることに逆行する。このため、通常的设计アプローチで考えると、3トランジスタ型の構成にウェルコンを適用する構成を選択することは考え難い。

【0120】

しかしながら、図17に示したように、画素内にウェルコン59aを持たせることによって、選択トランジスタを省略した3トランジスタ型に特有の、画素部中央で飽和電子数が減ってしまうなどの現象を防止することができ、また、選択トランジスタを持たせるよりも面積は小さくて済むという点で、第3のアプローチによる改善手法が果たす効果は大きい。

【0121】

なお、図示した例では、単位画素3ごとにPウェルコンタクト59aを用意しているが、これは、ウェル電圧のムラに起因する画像ムラが生じないようにするためである。この事象を許容できる場合には、画素ごとに限らず、数画素ごとなど、Pウェルコンタクト59aの配する場所を散在させてもよい。

【0122】

＜第4のアプローチによる改善手法＞

次に、第4のアプローチによる改善手法について説明する。この第4のアプロ

一チは、単位画素 3 を構成するリセットトランジスタ 3 6 を、ディプレッション型にすることで、選択トランジスタがない 3 トランジスタ型に特有の、ダイナミックレンジ減少を解消する点に特徴を有する。単位画素 3 の回路構成自体は、上述した各アプローチにおいて適用しているものと同じでよく、リセットトランジスタ 3 6 として使用する素子構造のみが異なる。

【0 1 2 3】

まず、ダイナミックレンジ減少の問題について説明する。ドレイン線 5 7 をずっとローにしておくと、ドレイン線 5 7 からフローティングディフュージョン 3 8 を経由して電荷生成部 3 2（光電変換素子）に電子がリークして雑音となる場合がある。このため、大部分の時間を占める水平有効期間は、ドレイン線 5 7 をハイにしておくが、このときリセットトランジスタ 3 6 をオフしていても、リセットトランジスタ 3 6 のリーク電流により、フローティングディフュージョン 3 8 からドレイン線 5 7 に電子が抜け、フローティングディフュージョン 3 8 の電位が上がってくる。特に低速動作のとき、1 フレームのうちにはフローティングディフュージョン 3 8 の電位が初期より 1 0 0 mV から 4 0 0 mV も上がってしまう、という現象が確認されている。

【0 1 2 4】

単位画素 3 として、選択トランジスタがない 3 トランジスタ型のものでは、垂直信号線 5 3 に接続された多数の画素のうちフローティングディフュージョン 3 8 の電位が最も高いものが選択される性質を用いている。選択画素では、フローティングディフュージョン 3 8 をハイレベルにリセットしてから、電荷生成部 3 2 の信号電荷子（光電子）をフローティングディフュージョン 3 8 に転送するが、このときに F D 電位は低い方に振れる。

【0 1 2 5】

よって、非選択画素の F D 電位が上がると、選択画素との電位差が小さくなり、ダイナミックレンジが取れなくなる。このダイナミックレンジ減少という現象は、選択トランジスタのない 3 トランジスタ型の画素に特有の現象である。第 4 のアプローチによる改善手法では、このダイナミックレンジ減少を回避するために、リセットトランジスタ 3 6 をディプレッション型にする。

【0126】

図18は、第4アプローチによる改善手法を説明する図である。ここで、図18(A)は、駆動パルスのタイミングチャートである。また図18(B)および図18(C)は、電圧ポテンシャル図である。

【0127】

選択画素の動作は、最初のリセットパルス(RST)でフローティングディフュージョン38がハイレベルにセットされる。次に転送パルス(TRF)でフローティングディフュージョン38に信号電荷が導入され、フローティングディフュージョン38の電位が下がる。この時点で選択画素のFD電位が同一の垂直信号線53に接続されている他画素のFD電位よりも高いことが、読み出しができる条件である。その後、ドレイン線57をローにして、リセットパルス(RST)を印加すると、フローティングディフュージョン38はローに復帰する。

【0128】

図18(B)および図18(C)は、そのポテンシャル図である。図18(B)はリセットトランジスタ36(図中“RST”で示す)がディプレッション型でない場合で、初期ローレベルはドレイン線57のローレベルで決まる。それから1フレームの非選択期間の間に、フローティングディフュージョン38(図中“FD”で示す)からドレイン線57(図中“DRN”で示す)に電子が徐々にリークし、電圧上昇が起こる。一方、選択画素におけるフローティングディフュージョン38のハイレベルは、リセットトランジスタ36をオンしたときのチャネル電圧 V_{ch} (オン)で決まる。具体的には、少し低い値となる。その状態から光電子を受けてローに振れる。よって、フローティングディフュージョン38のダイナミックレンジはマージンを除いて、図のようになる。

【0129】

図18(C)は、リセットトランジスタ36がディプレッション型の場合である。チャネル電圧 V_{ch} は、閾値が低い分、図では下方向に移動する。しかし、リセットパルスRSTの振幅が同じならば、その振幅 ΔV_{ch} は図18(B)と同じである。初期ローレベルは、リセットトランジスタ36をオフさせたときのチャネル電圧 V_{ch} (オフ)で決まる。図18(B)では V_{ch} (オフ)と初期ロ

ーレベルに閾値分の差があるが、図 1 8 (C) ではそれがない。

【0 1 3 0】

その状態から電子が徐々にリークするが、次の行の画素が選択されて、ドレイン線 5 7 がローに振れるときに、リセットトランジスタ 3 6 をオフしていても、ディプレッション型であるために、先ほどの画素のフローティングディフュージョン 3 8 は再び初期ローレベルに戻る。次々と行が進むときに、毎回、フローティングディフュージョン 3 8 の電位は初期ローレベルに戻る。よって、1 フレーム後でも電位上昇が少ない。

【0 1 3 1】

これらの理由から、図 1 8 (C) で分かるように、リセットトランジスタ 3 6 をディプレッション型にすると、フローティングディフュージョン 3 8 のダイナミックレンジを広げることができ、垂直選択用トランジスタ 4 0 がない 3 トランジスタ構成の単位画素 3 に特有の、ダイナミックレンジ減少という問題を改善することができる。

【0 1 3 2】

ちなみに、この余裕を利用して、ディプレッションの度合いをもっと深くして、V_{ch} (オン) がドレイン線 5 7 のハイレベルよりも高くなるように設定することもできる。すなわち、リセットトランジスタ 3 6 として、ゲートに電源電圧を入れたときにフローティングディフュージョン 3 8 を DRN 電圧のハイレベルレベルにリセットできるほど深いディプレッション型であるものとする。この後リセットトランジスタ 3 6 をオフすれば、フローティングディフュージョン 3 8 のハイレベルは、DRN 電圧のハイレベルからフィードスルーなどの寄与だけ低下したものになる。この場合、フローティングディフュージョン 3 8 のハイレベルがドレイン線 5 7 のハイレベルで決まり、リセットトランジスタ 3 6 の閾値バラ付きが画素出力に乘らなくなる、という利点が見られる。

【0 1 3 3】

以上、本発明を実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加

えた形態も本発明の技術的範囲に含まれる。

【0 1 3 4】

また、上記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【0 1 3 5】

たとえば、上記第 1 のアプローチによる改善手法においては、D R N 駆動バッファ 1 4 0 に入力される、通常のパルス形状を有する駆動パルスの供給を受けた際にも、ドレイン配線の電圧をオフ状態にする際の遷移時間を長くすることが可能な構成例を示した。そのための具体的な手段としては、駆動バッファを構成するトランジスタの W / L 比の適正化を図る、または制御抵抗や電流源を使用して駆動時の動作電流の適正化を図る、などの手法を適用していた。

【0 1 3 6】

しかしながら、このような構成に限らず、ドレイン配線の電圧遷移時間を長くすることが可能なものである限り、様々な制御手法や構造を用いることができ、それらも本願発明の技術思想に含まれる。

【0 1 3 7】

たとえば、デバイス側は従来のものと同様の 3 トランジスタ構成の単位画素を有するものを使用しつつ、D R N 駆動バッファ 1 4 0 に入力する駆動信号を、パルス形状のものではなく、それ自体の波形を、上述した条件を満たすように鈍らせて入力する構成としてもよい。このためには、パルス形状の駆動信号発生するタイミングジェネレータとデバイス（前例では垂直走査回路 1 4）との間に、パルスを上述した条件を満たすように鈍らせる波形整形回路を設けるとよい。これにより、上記実施形態で説明したと同様に、周辺部の画素と中心部の画素の特性を揃えることができ、飽和シェーディング量を少なくすることができる。

【0138】

また、上記実施形態では、NMOSより構成されている単位画素で構成されたセンサを一例に説明したが、これに限らず、PMOSよりなる画素のものについても、電位関係を反転（電位の正負を逆に）して考えることで、上記実施形態で説明したと同様の作用・効果を享受可能である。

【0139】

また、上記実施形態では、フォトダイオード1個と、トランジスタ3個の画素を例に説明したが、これに限らず、2個のフォトダイオードと2個の読出選択用トランジスタに対して、リセットトランジスタと増幅用トランジスタは1個ずつで共有するなど、原理的に同じ動作の画素についても同様である。

【0140】

また、上記においては、実験的に最も影響の大きかった飽和シェーディングに注目したが、画素部の中心部と周辺部でウェルの電位が異なる揺れ方をすると、飽和信号量以外の特性もシェーディングを持つことは自明である。ドレイン線を駆動する立下り時間や立上り時間を鈍らせることは、ウェルの電位の揺れを低減し、かつ均一に近づけるので、飽和信号量以外のシェーディング現象の改善にもなっている。

【0141】

【発明の効果】

以上のように、本発明によれば、3トランジスタ構成の単位画素を備えてなる固体撮像装置における飽和シェーディング現象を抑制する第1のアプローチによる改善手法は、ドレイン駆動バッファを構成するトランジスタの W/L 比の適正化を図る、または制御抵抗や電流源を使用して駆動時の動作電流の適正化を図る、などの手法を適用して、ドレイン電圧オフ時の遷移時間を、リセット配線や転送配線の各オフ時の遷移時間の何れよりも遅くする、たとえば、5倍以上でかつ1万倍以下の程度に長くするようにした。これにより、周辺部の画素と中心部の画素の特性を揃えることが可能となり、よって飽和シェーディング量を少なくすることができるようになった。

【0142】

また、同様に、飽和シェーディング現象を抑制する第2のアプローチによる改善手法は、転送ゲートのローレベル電圧が、電荷生成部から電荷蓄積部に電荷が漏れることに対する電位障壁を形成するに足りるだけの大きさの電圧値となるようにする電圧源を内部または外部に設けるようにした。これにより、画素部中央で飽和電圧が減る現象を抑制することができる。結果として、飽和シェーディング量を小さくすることができるようになった。

【0143】

また、同様に、飽和シェーディング現象を抑制する第3のアプローチによる改善手法として、ウェル電位を固定するバイアス配線を設ける構造とした。これにより、ウェル電位の揺れによる、画素部中央部での飽和電子数の低下を防ぐことができ、シェーディング量を小さくすることができるようになった。

【0144】

また、3トランジスタ構成の単位画素を備えてなる固体撮像装置におけるダイナミックレンジ減少という問題を解消する手法（上述の第4のアプローチによる改善手法）は、単位画素を構成するリセット部のリセットトランジスタを、ディプレッション型にするようにした。これにより、リセットトランジスタによるリーク電流を抑制することができるようになった。そしてこれにより、電荷蓄積部のダイナミックレンジを広げることができ、従来フローティングディフュージョン（電荷蓄積部）で制限されていたダイナミックレンジを広げることができるようになった、

【図面の簡単な説明】

【図1】

本発明の一実施形態に係るCMOS固体撮像装置の概略構成図である。

【図2】

飽和シェーディング現象を説明する図である。

【図3】

ドレイン線の電圧変化を調べるための測定回路を示す図である。

【図4】

DRN制御パルスを鈍らせたときの、抵抗値と飽和シェーディングとの関係を示

す図である。

【図 5】

図 4 に示した結果を、制御抵抗における電圧波形の立下り時間と飽和シェーディングとの関係で示した図である。

【図 6】

P ウェルの揺れをシミュレーションで再現した結果を示す図である（制御抵抗 $146 = 0 \Omega$ ）。

【図 7】

P ウェルの揺れをシミュレーションで再現した結果を示す図である（制御抵抗 $146 = 10 \Omega$ ）。

【図 8】

P ウェルの揺れをシミュレーションで再現した結果を示す図である（制御抵抗 $146 = 150 \Omega$ ）。

【図 9】

P ウェルの揺れをシミュレーションで再現した結果を示す図である（制御抵抗 $146 = 330 \Omega$ ）。

【図 10】

P ウェルの揺れをシミュレーションで再現した結果を示す図である（制御抵抗 $146 = 680 \Omega$ ）。

【図 11】

第 1 のアプローチによる改善手法に従った、立下り時間制御方法の第 1 例を説明する図である。

【図 12】

第 1 例の立下り時間制御方法を実現する手法の変形例を説明する図である。

【図 13】

第 1 のアプローチによる改善手法に従った、立下り時間制御方法の第 2 例を説明する図である。

【図 14】

第 1 のアプローチによる改善手法に従った、立下り時間制御方法の第 3 例を説明

する図である。

【図 15】

転送ゲートローレベルと飽和シェーディングとの関係を示す図である。

【図 16】

第 2 のアプローチによる改善手法を説明する図である。

【図 17】

第 3 アプローチによる改善手法を説明する図である。

【図 18】

第 4 アプローチによる改善手法を説明する図である。

【図 19】

従来の CMOS センサにおける単位画素の構成例を示す図である。

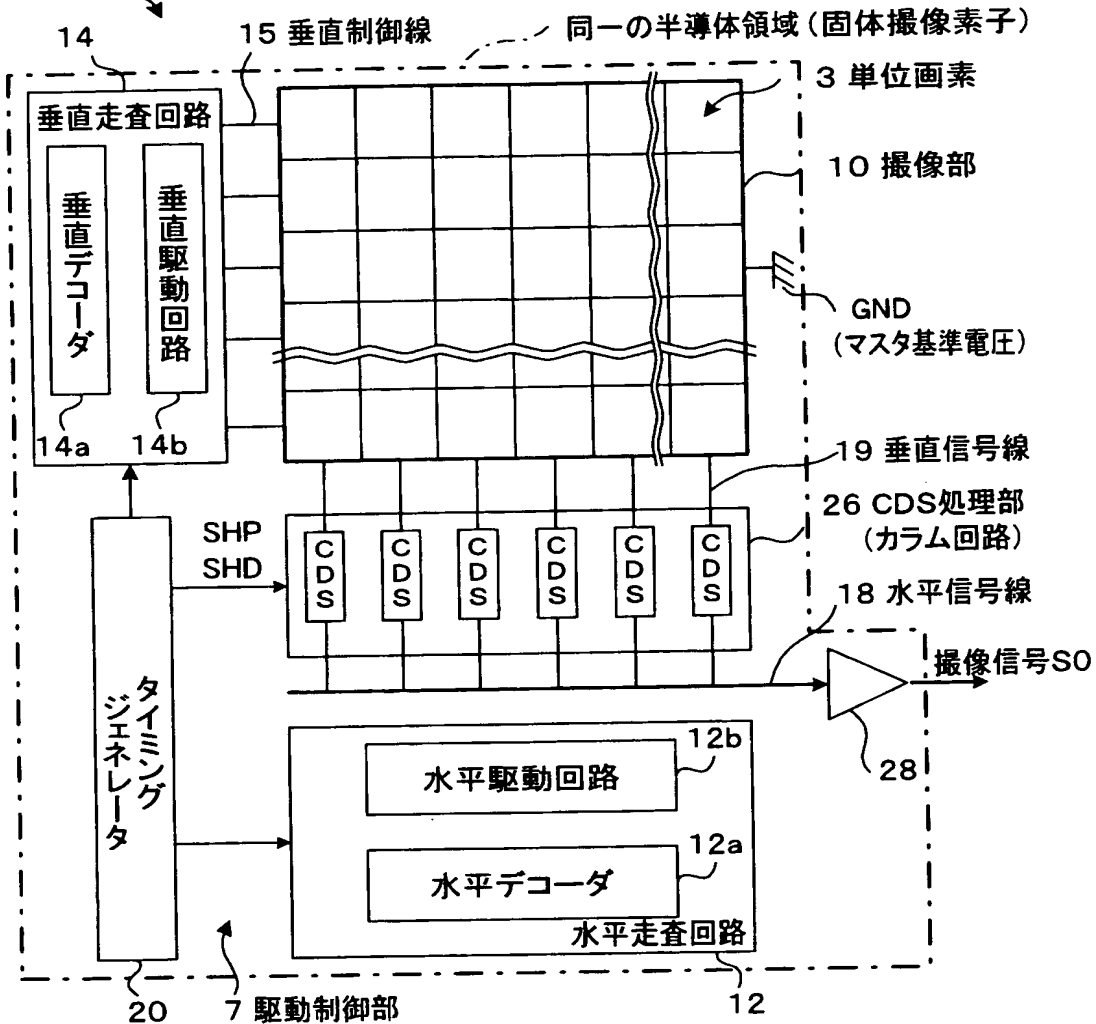
【符号の説明】

1…固体撮像装置、3…単位画素、5…画素信号生成部、7…駆動制御部、10…画素部、100…外部回路、110…A/D変換部、12…水平走査回路、12a…水平デコーダ、12b…水平駆動回路、14…垂直走査回路、14a…垂直デコーダ、14b…垂直駆動回路、15…垂直制御線、20…タイミングジェネレータ、26…CDS処理部、28…出力バッファ、32…電荷生成部、34…読出選択用トランジスタ、36…リセットトランジスタ、38…フローティングディフュージョン、40…垂直選択用トランジスタ、42…増幅用トランジスタ、51…画素線、52…垂直選択線、53…垂直信号線、55…転送配線、56…リセット配線、57…ドレイン線、59…Pウェルバイアス線、59a…Pウェルコンタクト、130…デジタル信号処理部、136…D/A変換部、140…DRN駆動バッファ、146…制御抵抗、148…電流源、149…電圧源、150…転送駆動バッファ、152…リセット駆動バッファ、154…選択駆動バッファ、160…レベルシフタ、161…出力バッファ、162…負電圧生成回路

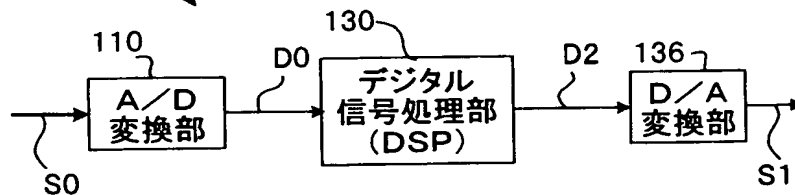
【書類名】 図面

【図 1】

(A) 1 固体撮像装置



(B) 100 外部回路

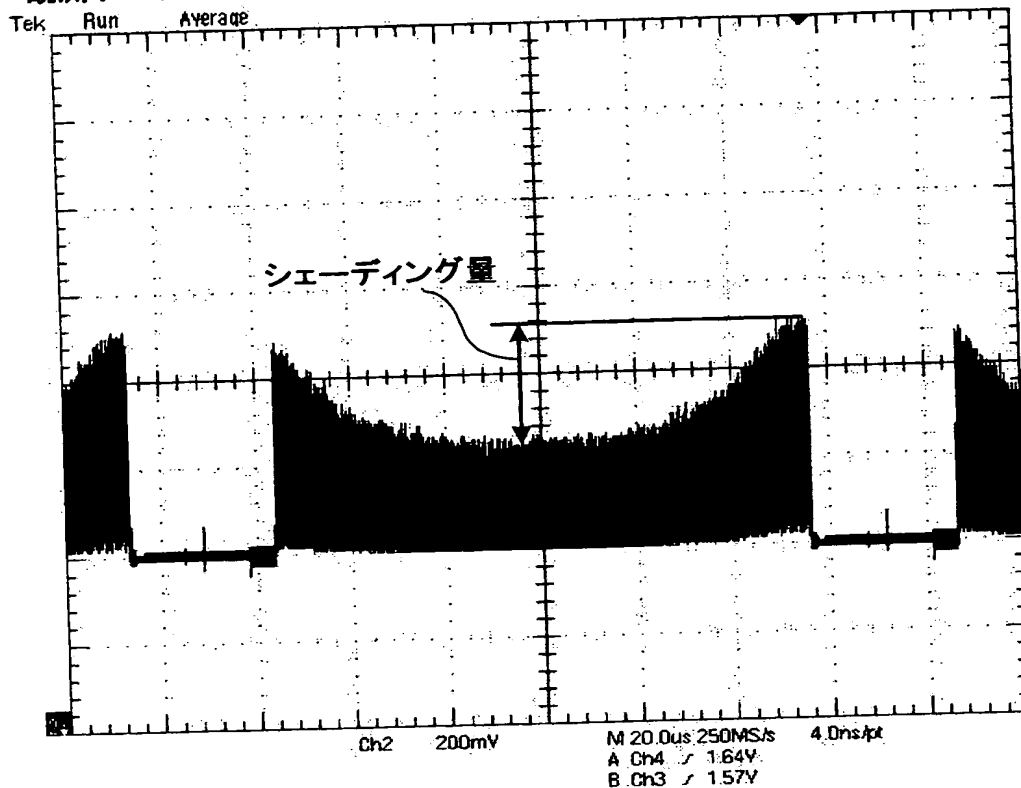


【図 2】

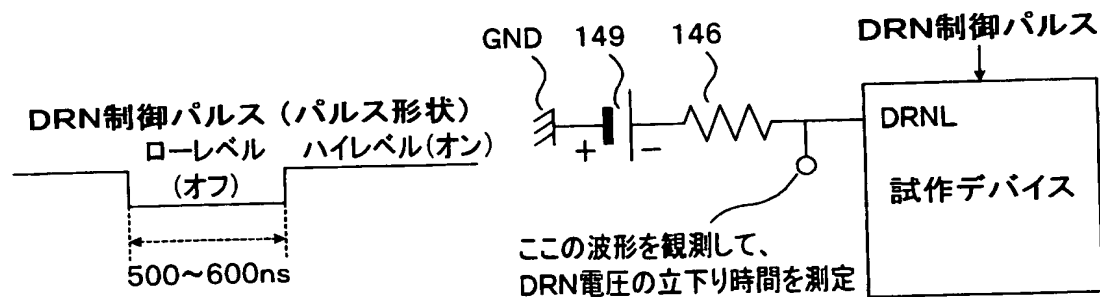
(A) デバイス条件

- ※素子構造
- ・VGA対応CMOSセンサ (約30万画素)
 - ・クロック周波数: 6MHz (フレームレート13.3fps)
 - ・単位画素は、3トランジスタ構成
 - ・画素ピッチ 4.1 μ m
- ※駆動条件
- ・電源電圧 3.0V
 - ・転送ゲート駆動電圧のローレベルは可変
 - ・画素の、その他の駆動は0Vと電源電圧(3.0V)

(B) 観測データ

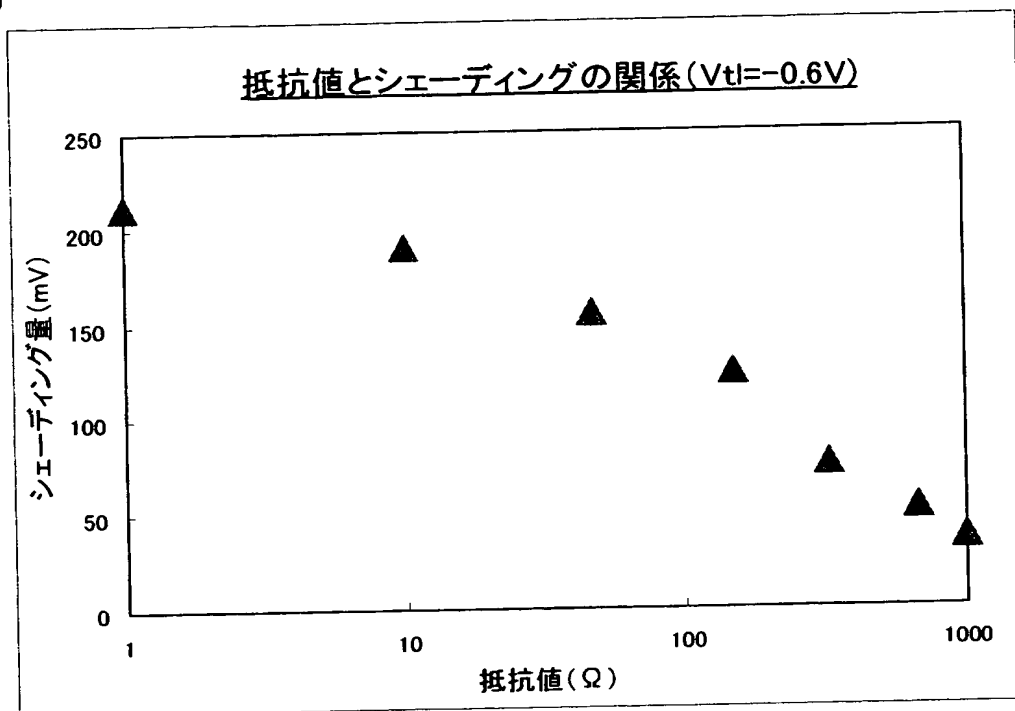


【図 3】

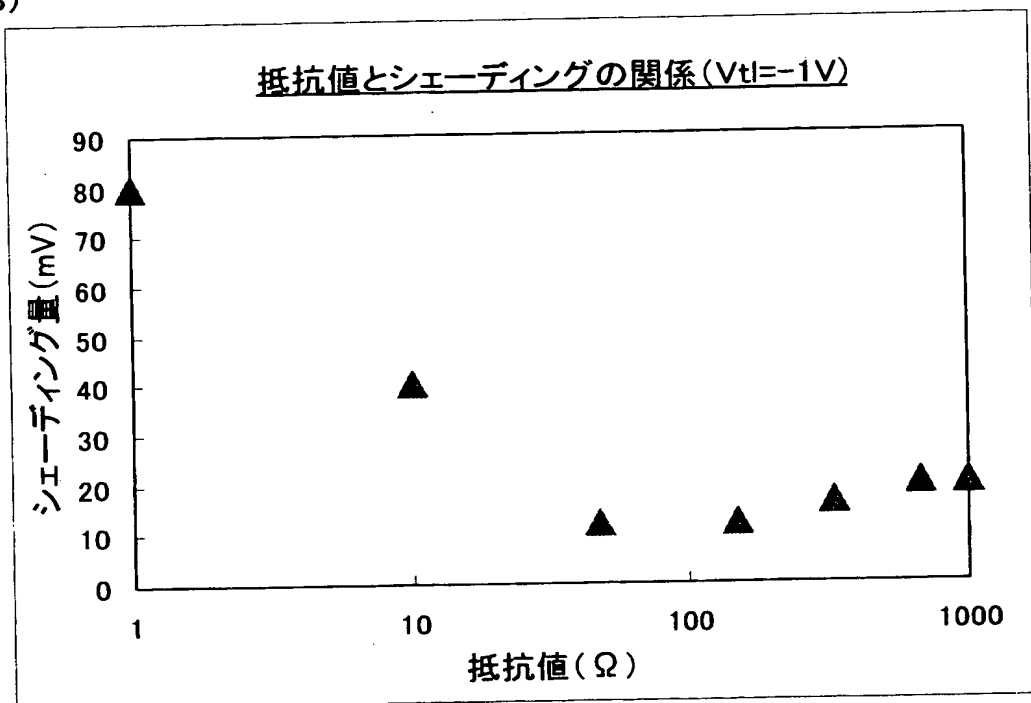


【図 4】

(A)

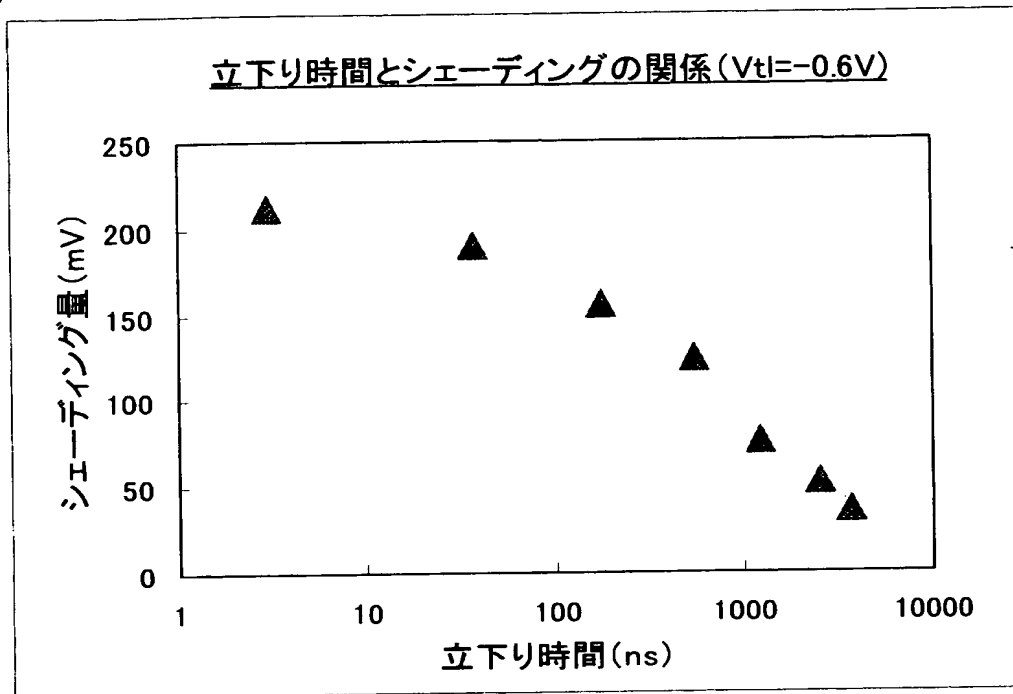


(B)

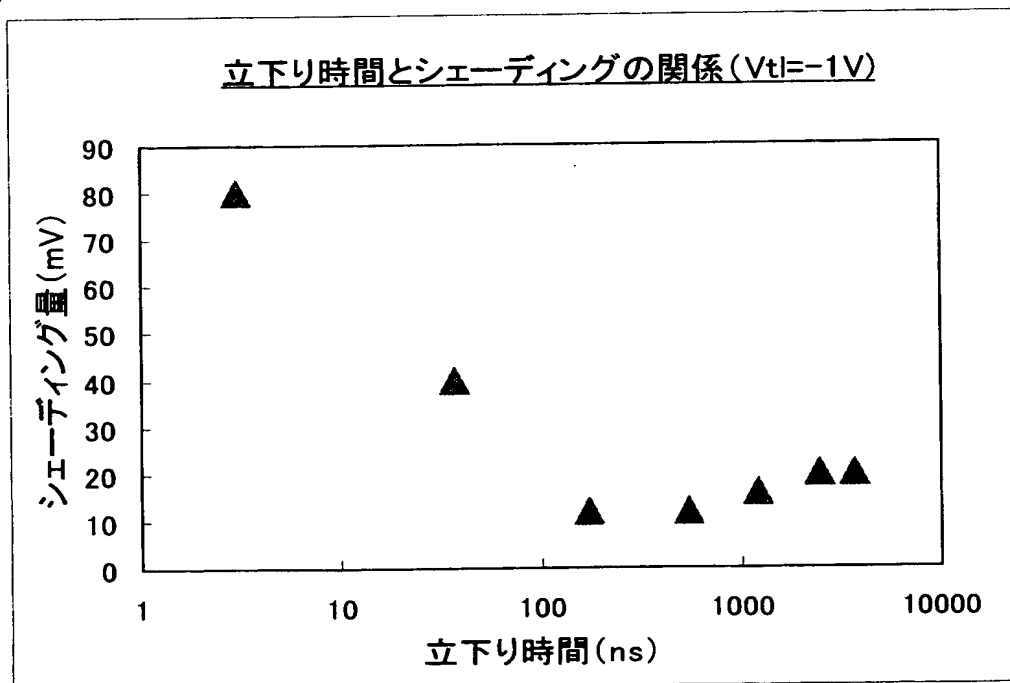


【図 5】

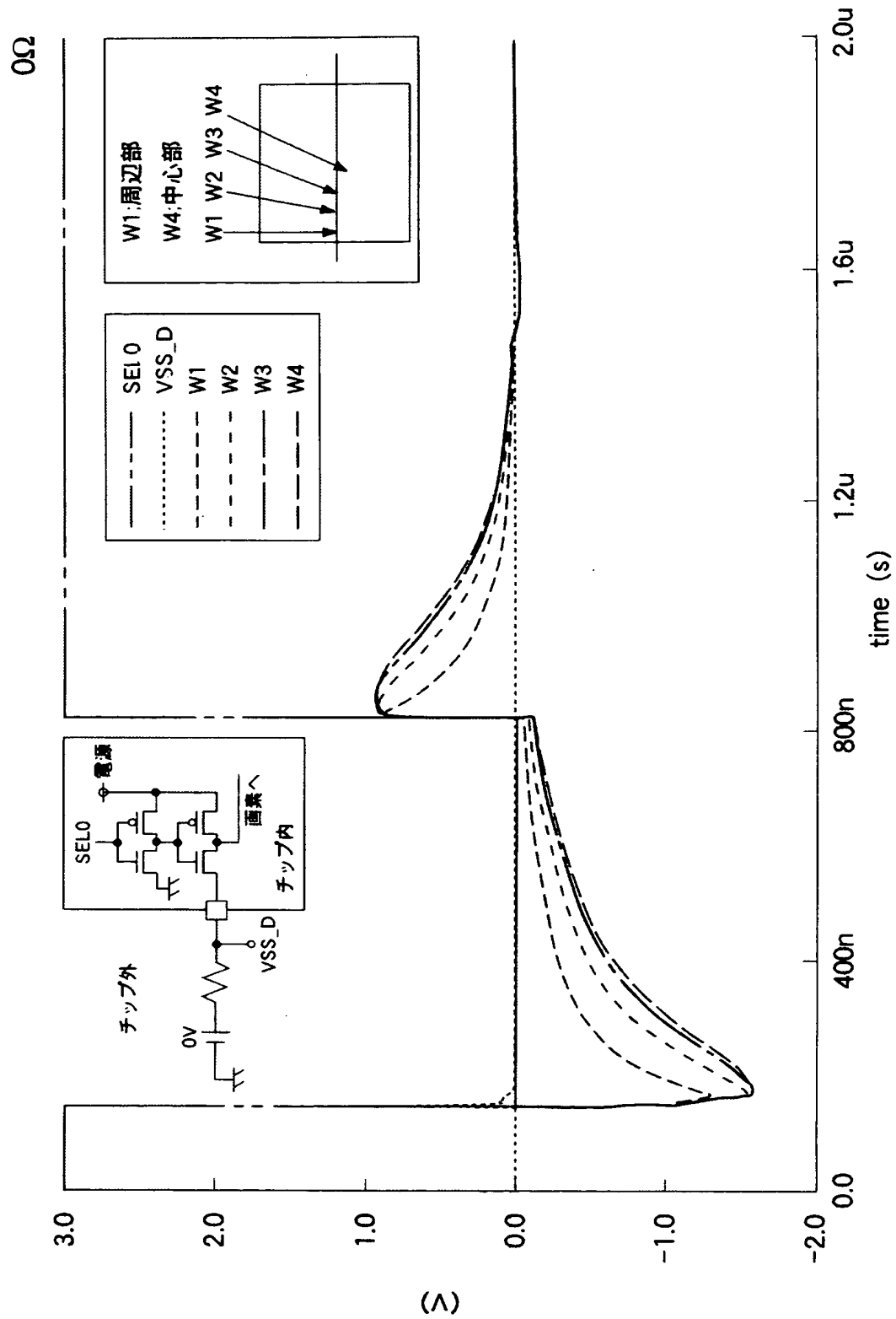
(A)



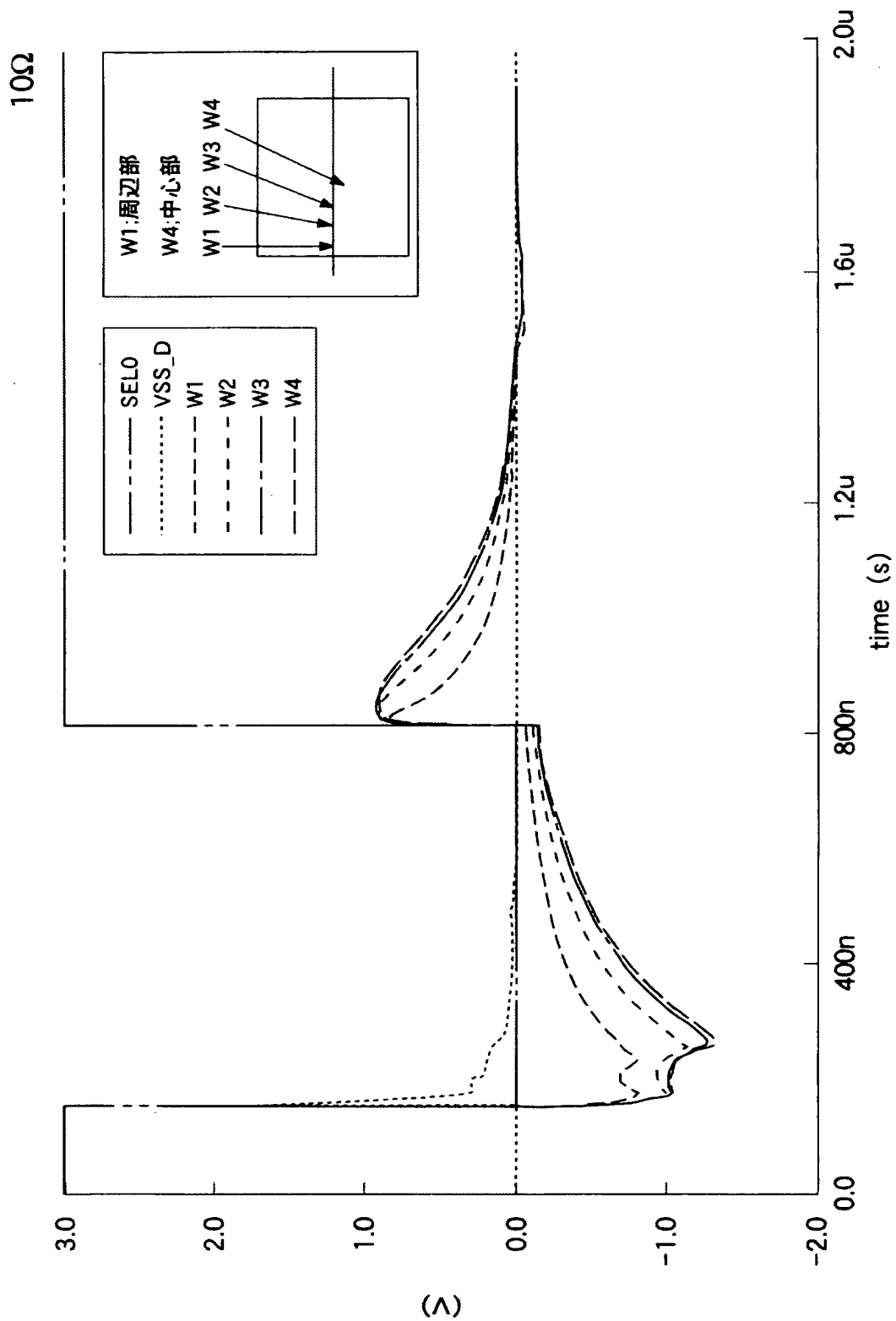
(B)



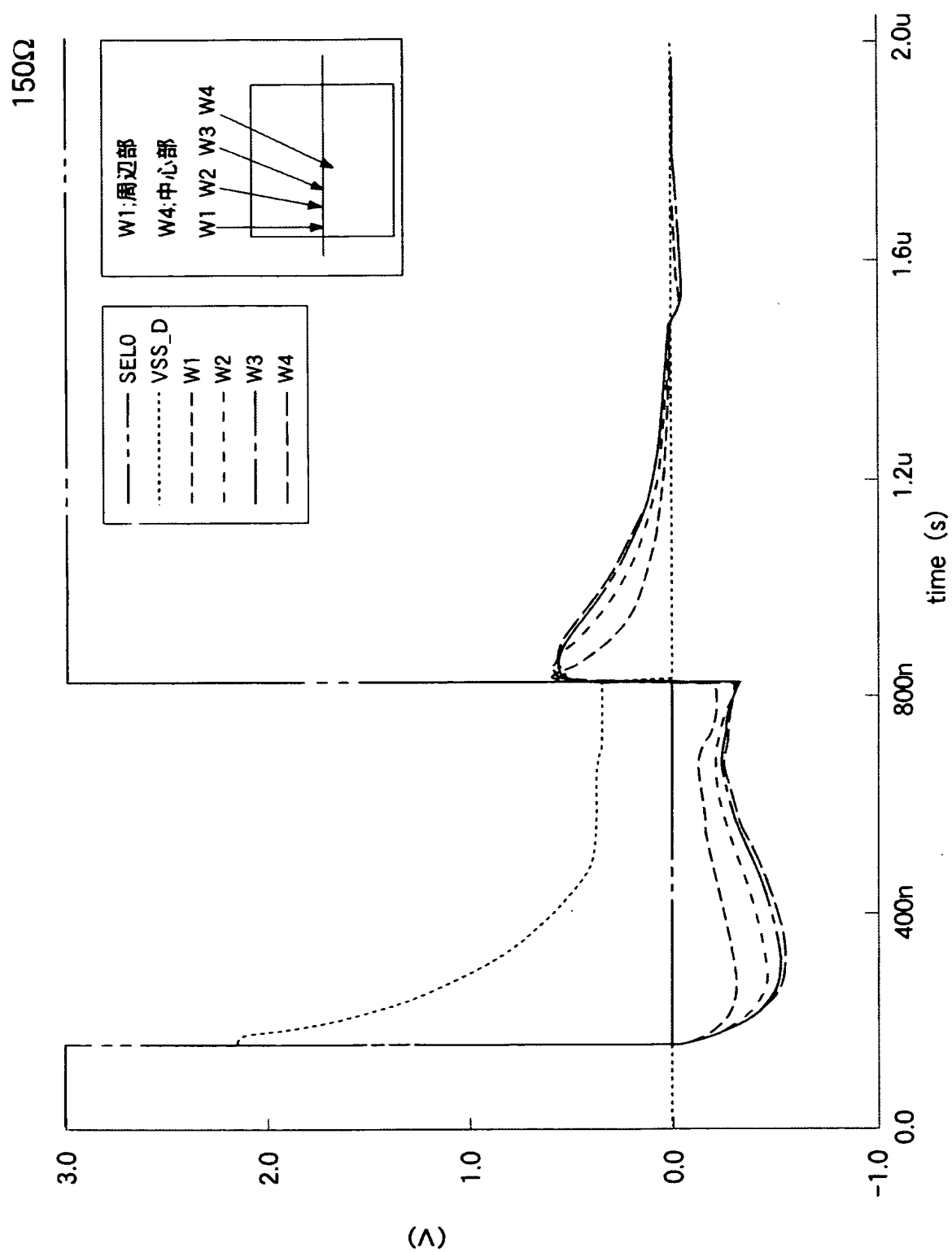
【図 6】



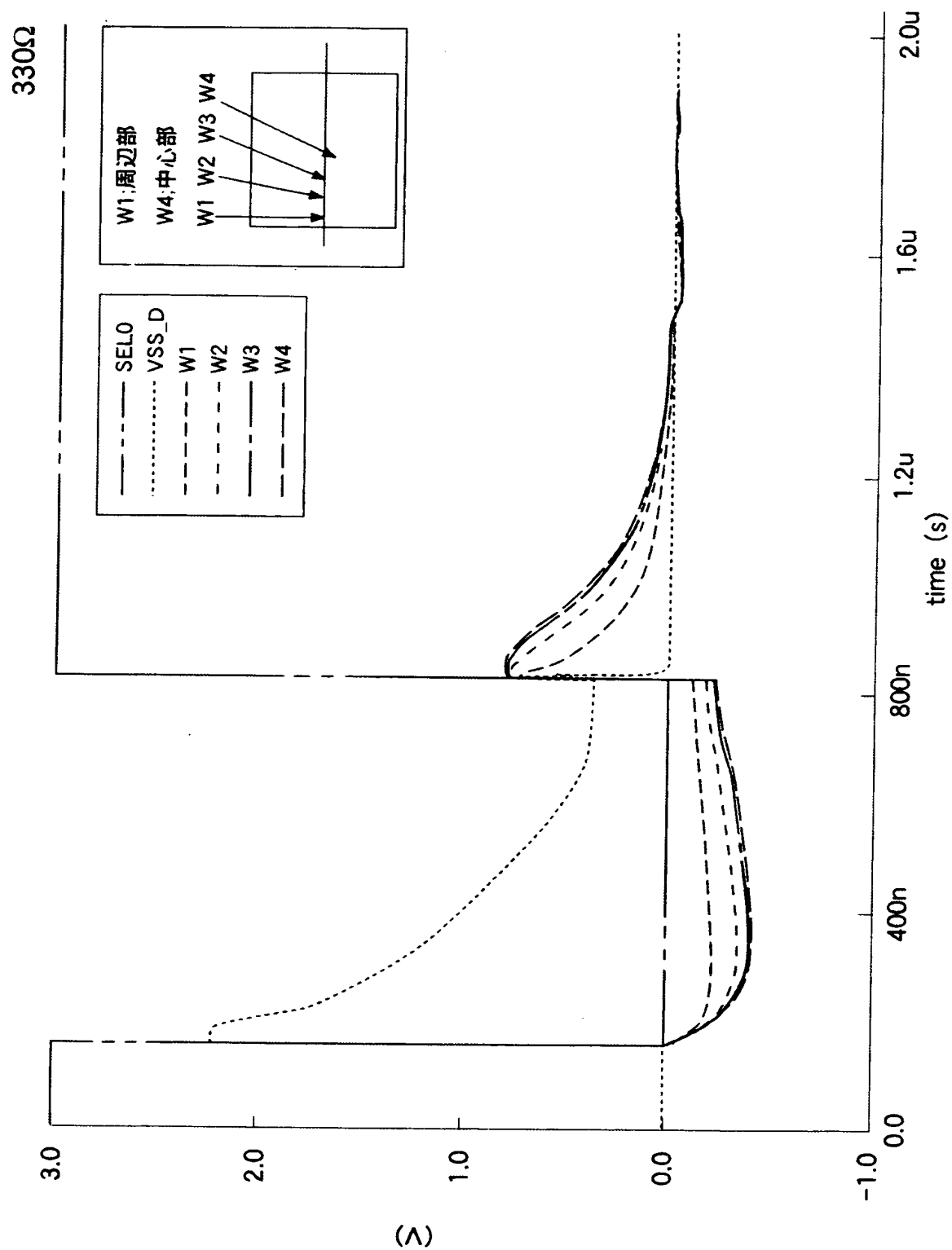
【図 7】



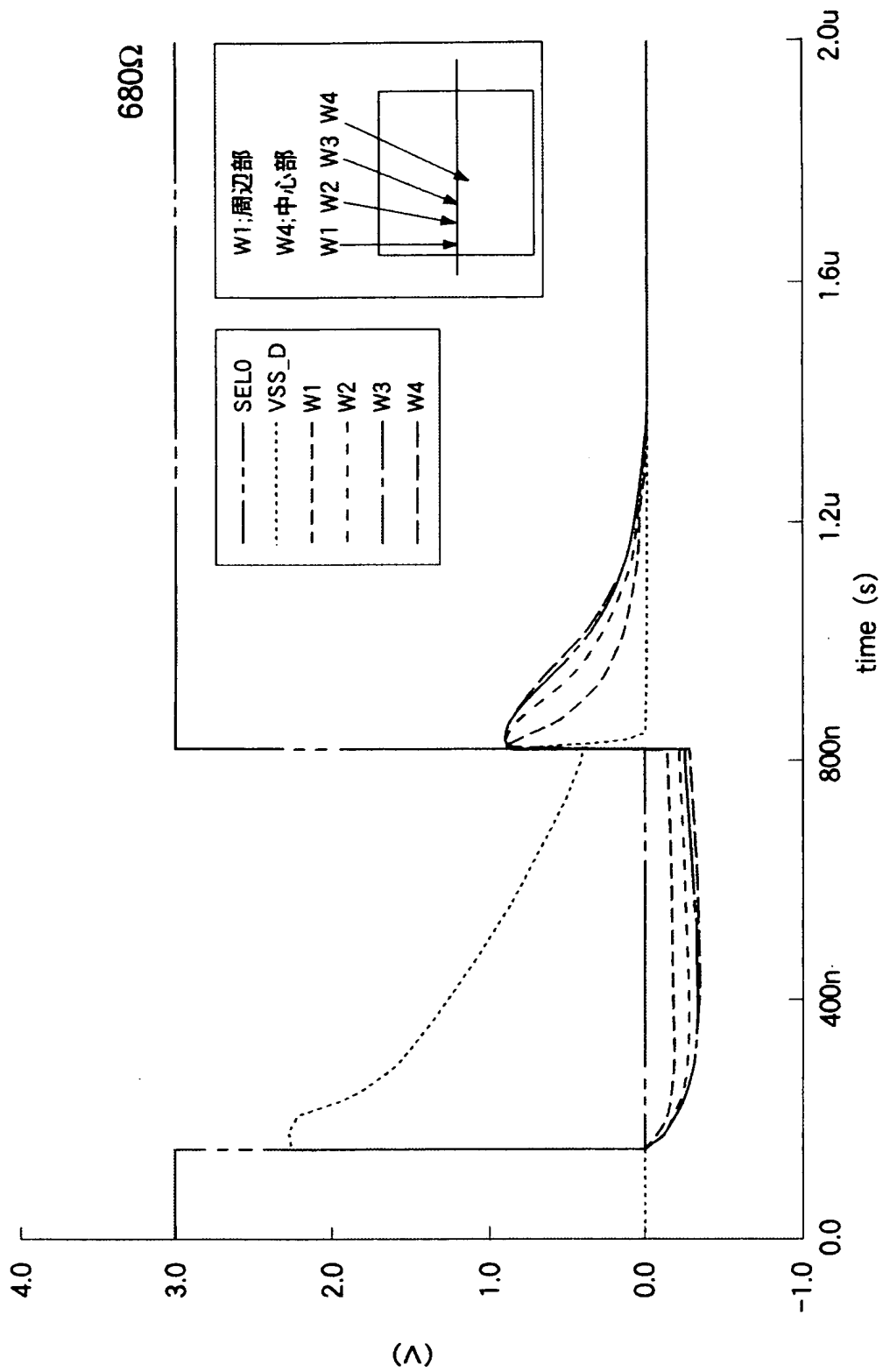
【図 8】



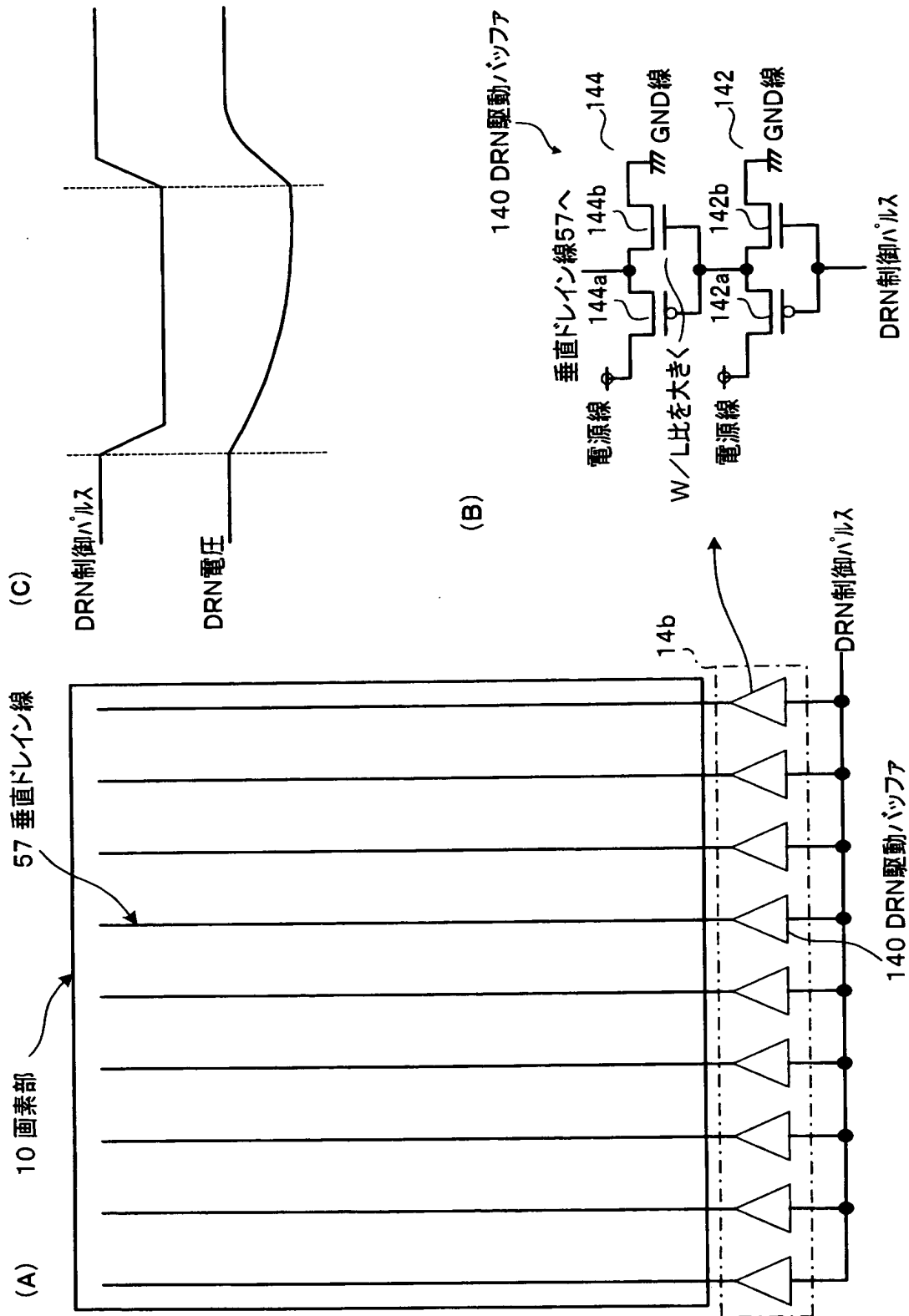
【図 9】



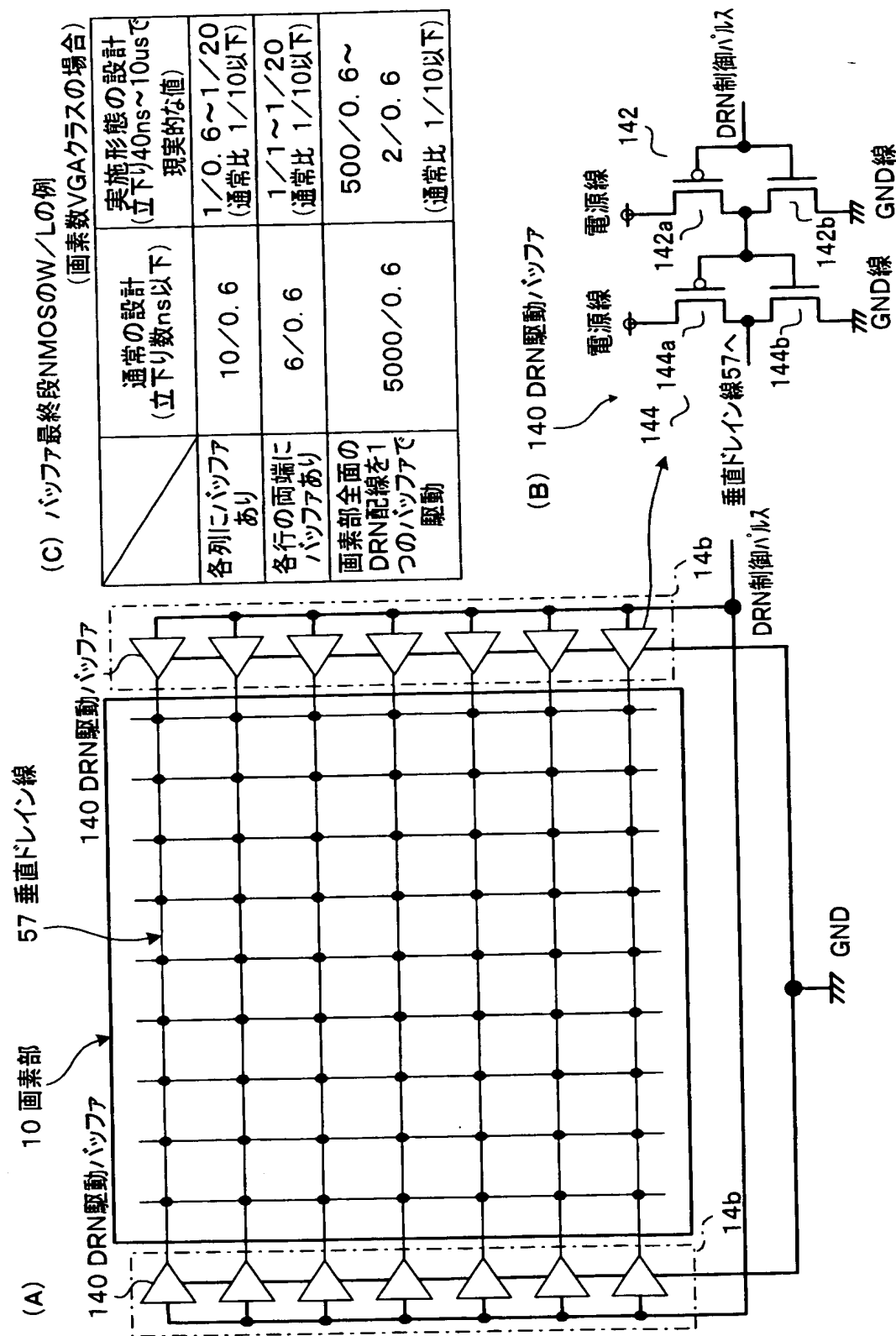
【図 10】



【図 11】



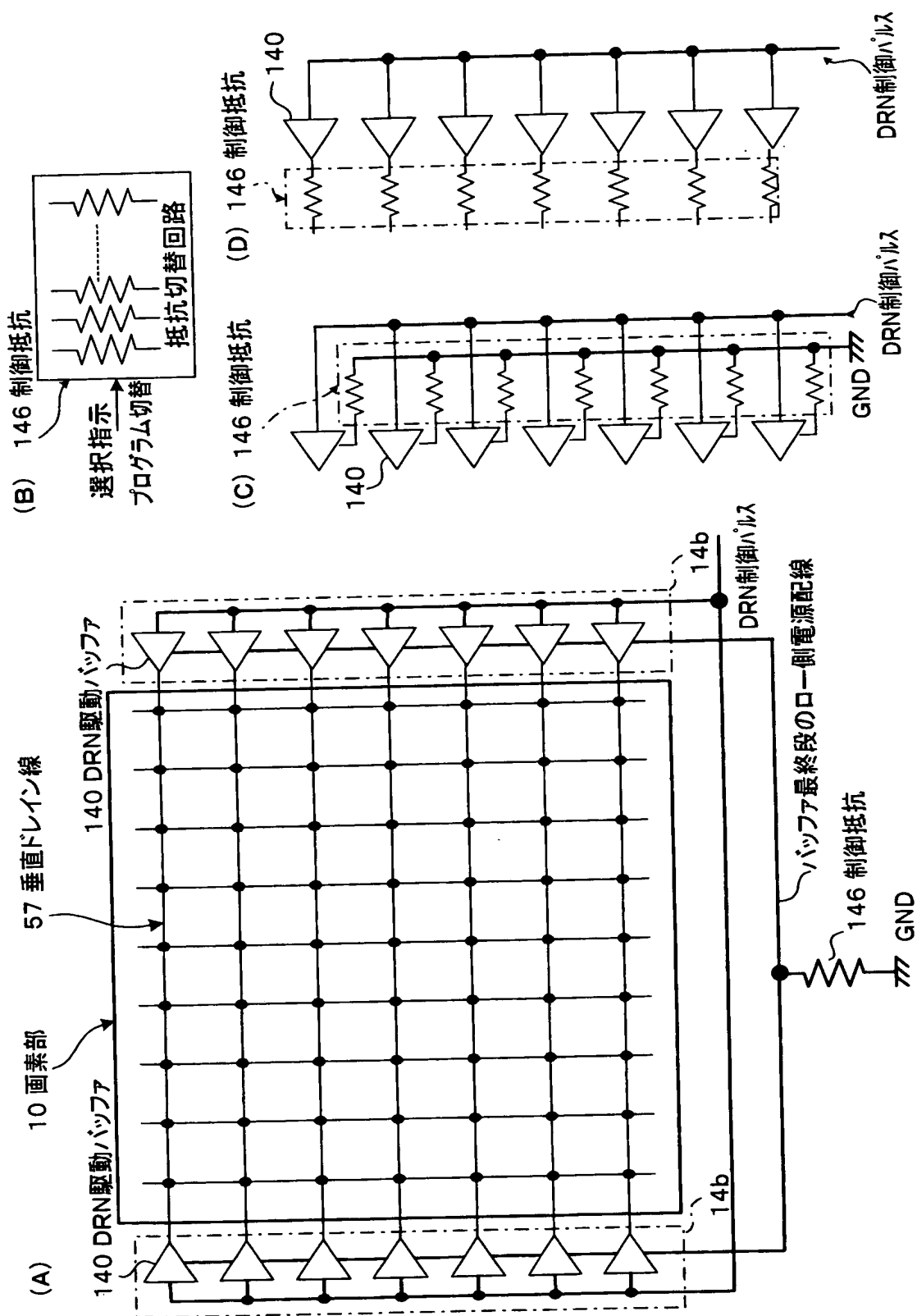
【図 12】



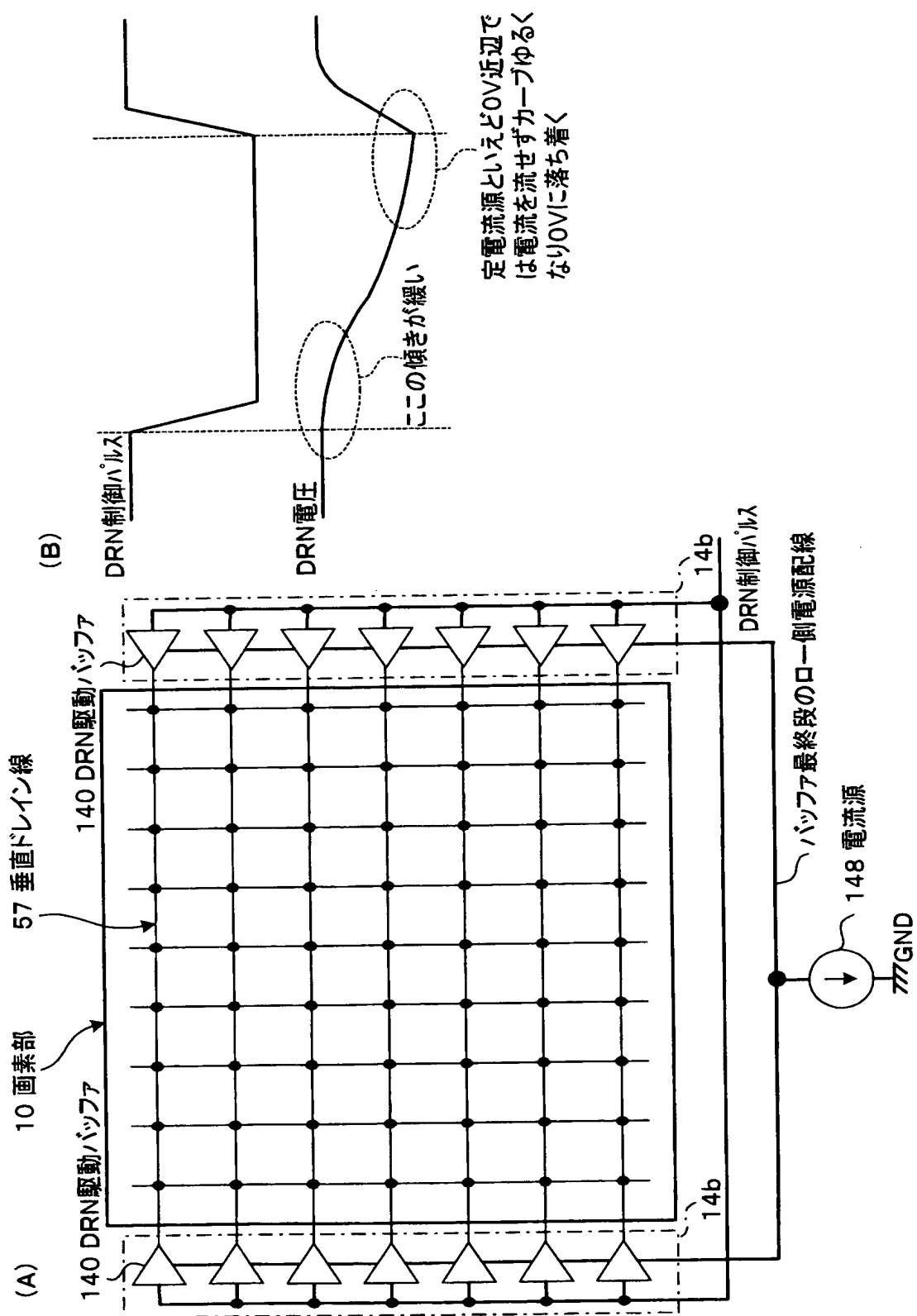
(C) バッファ最終段NMOSのW/Lの例
(画素数VGAクラスの場合)

	通常的设计 (立下り数ns以下)	実施形態的设计 (立下り40ns~10usで 現実的な値)
各列にバッファ あり	10/0.6	1/0.6~1/20 (通常比 1/10以下)
各行の両端に バッファあり	6/0.6	1/1~1/20 (通常比 1/10以下)
画素部全面の DRN配線を1 つのバッファで 駆動	5000/0.6	500/0.6~ 2/0.6 (通常比 1/10以下)

【図 13】

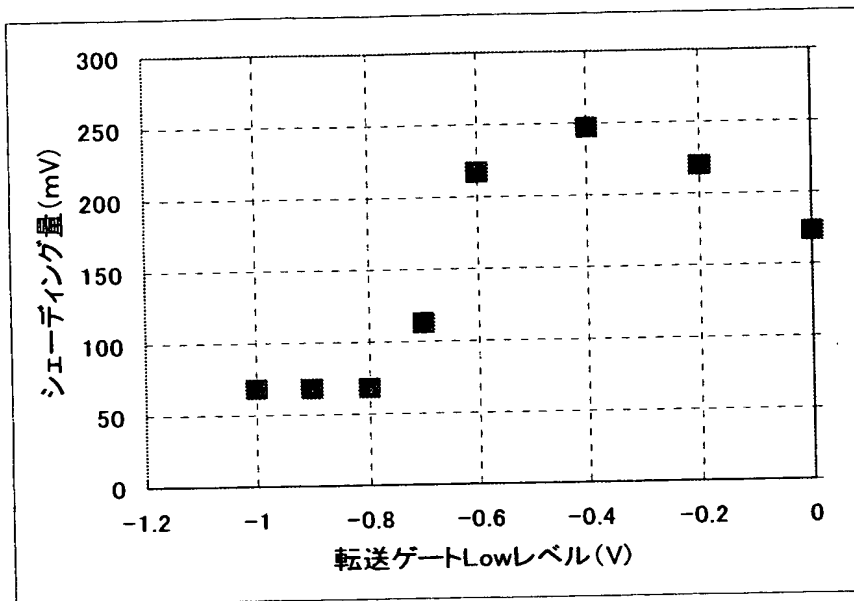


【図 14】

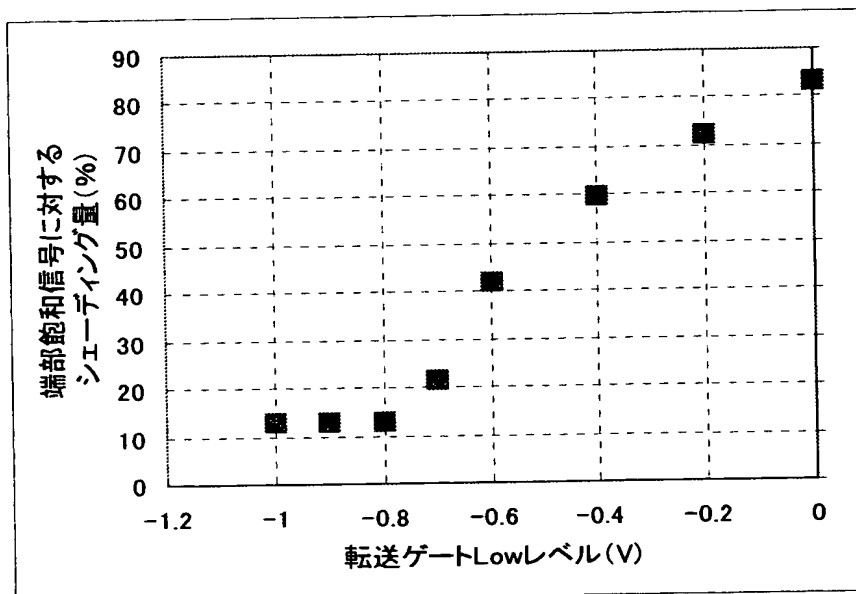


【図 15】

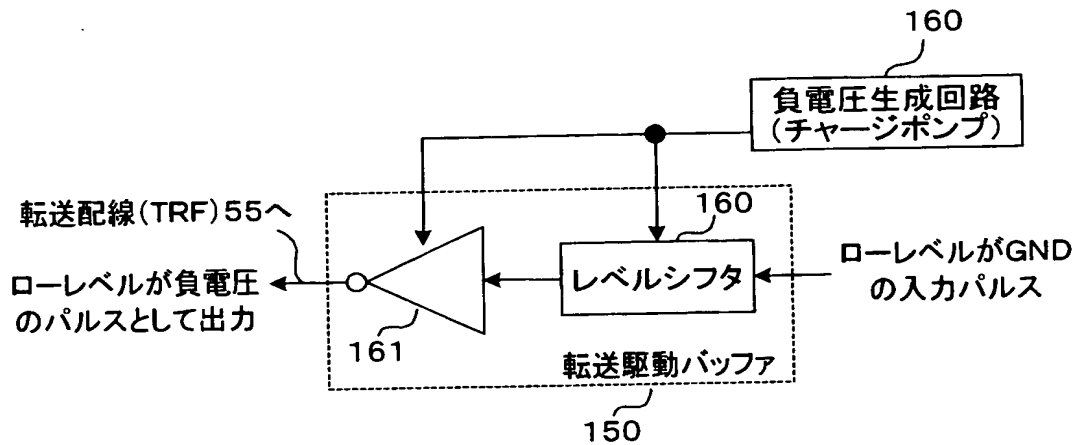
(A)



(B)

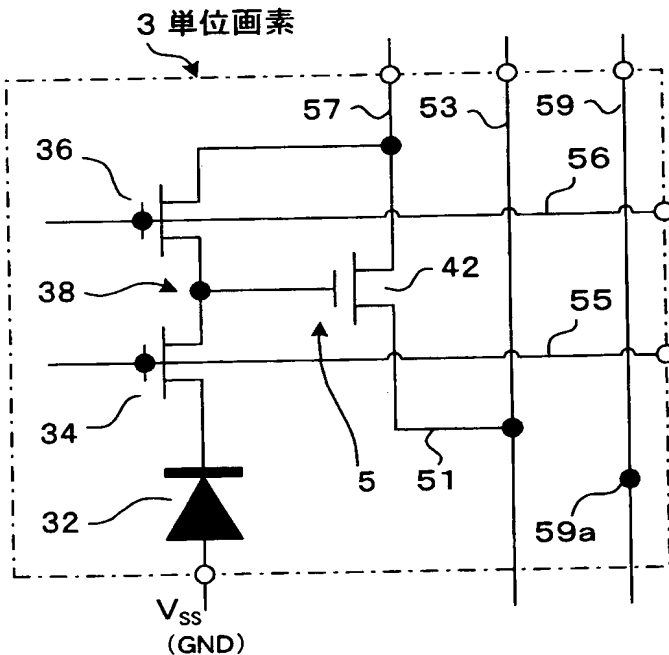


【図 16】



【図 17】

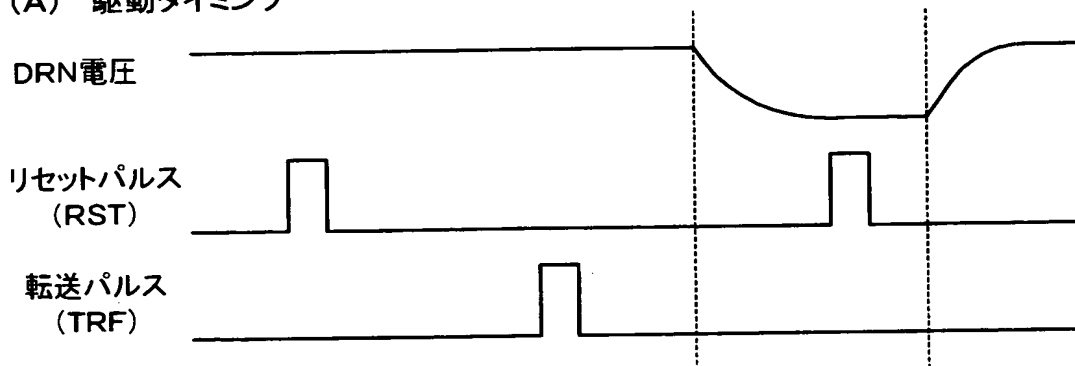
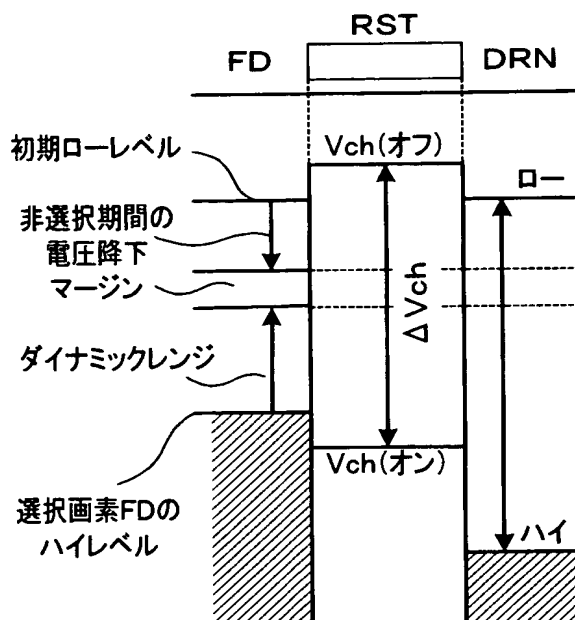
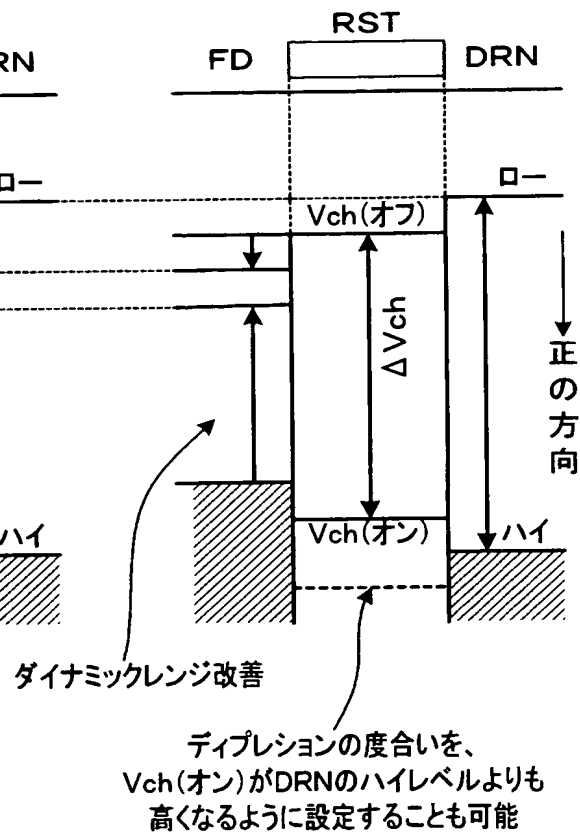
3トランジスタ構成



- 3 単位画素
- 5 画素信号生成部
- 32 電荷生成部
(フォトダイオード)
- 34 読出選択用トランジスタ
- 36 リセットトランジスタ
- 38 フローティング
ディフュージョン (FD)
- 42 増幅用トランジスタ
- 51 画素線
- 53 垂直信号線
- 55 転送配線 (TRF)
- 56 リセット配線 (RST)
- 57 ドレイン線 (DRN)
- 59 Pウェルバイアス線
- 59a Pウェルコンタクト

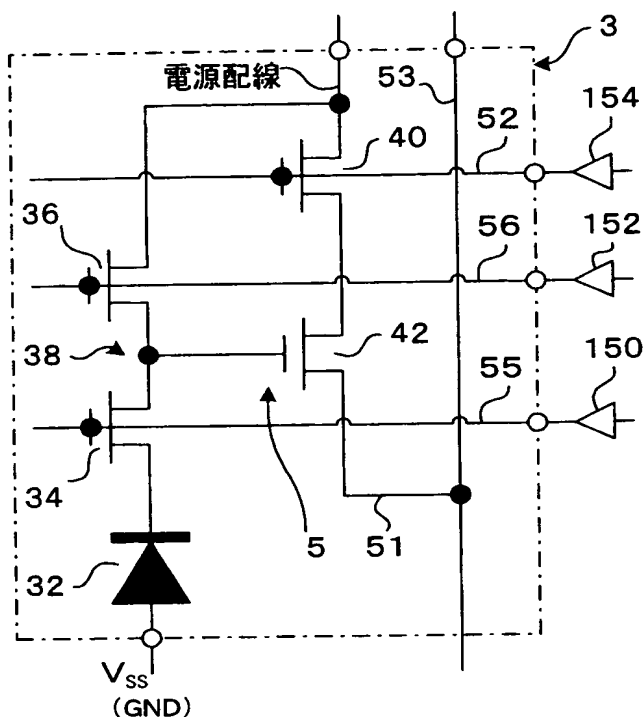
【図 18】

(A) 駆動タイミング

(B) 電圧ポテンシャル
リセットトランジスタRSTが
ディプレッション型でない場合(C) 電圧ポテンシャル
リセットトランジスタRSTが
ディプレッション型の場合

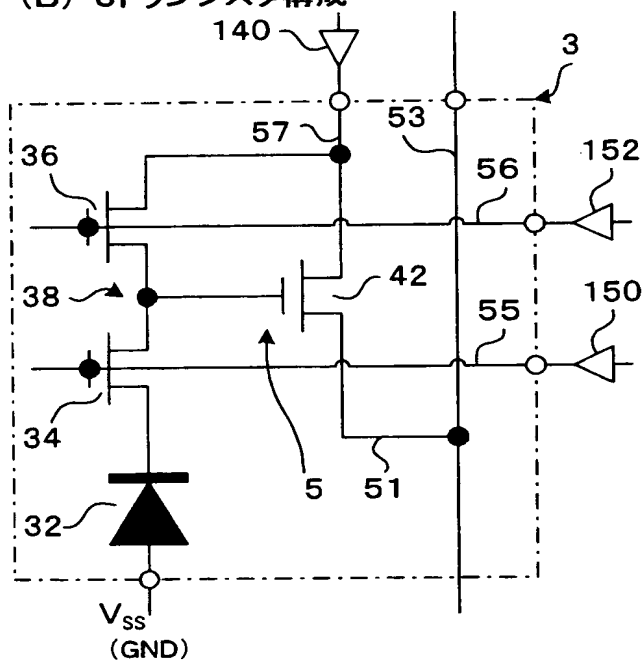
【図 19】

(A) 4トランジスタ構成



- 3 単位画素
- 5 画素信号生成部
- 32 電荷生成部
(フォトダイオード)
- 34 読出選択用トランジスタ
- 36 リセットトランジスタ
- 38 フローティング
ディフュージョン(FD)
- 40 垂直選択用トランジスタ
- 42 増幅用トランジスタ
- 51 画素線
- 52 垂直選択線
- 53 垂直信号線
- 55 転送配線(TRF)
- 56 リセット配線(RST)
- 56 リセット配線(RST)
- 150 転送駆動バッファ
- 152 リセット駆動バッファ
- 154 選択駆動バッファ

(B) 3トランジスタ構成



- 3 単位画素
- 5 画素信号生成部
- 32 電荷生成部
(フォトダイオード)
- 34 読出選択用トランジスタ
- 36 リセットトランジスタ
- 38 フローティング
ディフュージョン(FD)
- 42 増幅用トランジスタ
- 51 画素線
- 53 垂直信号線
- 55 転送配線(TRF)
- 56 リセット配線(RST)
- 57 ドレイン線(DRN)
- 140 ドレイン駆動バッファ
- 150 転送駆動バッファ
- 152 リセット駆動バッファ

【書類名】 要約書

【要約】

【課題】 受光素子と3つのトランジスタで単位画素が構成されたCMOSセンサにおいて、飽和シェーディング現象やダイナミックレンジ減少を防止する。

【解決手段】 全画素共通のドレイン線57の電圧をオフ状態にする際の遷移時間（立下り時間）を、リセット配線や転送配線の各オフ時の遷移時間の何れに対しても、長くする。このため、DRN駆動バッファ140を構成するトランジスタのW/L比の適正化を図る、また制御抵抗146や電流源をGNDとの間に挿入して、駆動時の動作電流の適正化を図る。これにより、飽和シェーディング量を小さくする。リセットトランジスタをディプレッション型にすることで、フローティングディフュージョンへのリーク電流を抑制し、ダイナミックレンジを広げる。

【選択図】 図11

特願 2 0 0 3 - 1 1 3 8 4 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社